基于 Xilinx 7 的多通道高速 TDC

版本 1.1
2020 年 6 月 18 日

1 简介

SeRuTDC 是一款基于 Xilinx 7 系列 FPGA 的高精度、高吞吐、大量程、多通道的 TDC 产品，具有通道配置灵活、数据吞吐量大、连接方式多样等特点。可应用于需要多通道时间间隔计数，或多通道时间戳的应用，如激光飞行时间测距、质谱分析、医学图像、半导体自动化测试、精密时间同步等领域。

SeRuTDC 提供皮秒级的高速时间测量能力，每个通道的时间戳精度优于 25ps，测量脉冲最小间隔 11ns（Kintex 下），相当于每个通道具有最大 90MSPS 的测量能力）。SeRuTDC 能够提供几乎无限的测时量程，原生支持的标准量程约为 73 年。可以根据应用需要减小量程，换取更多 FPGA 资源以布置更多通道。

SeRuTDC 的通道数可灵活配置，最大通道数仅受限于可用的 FPGA 资源。在 Zynq-7020（可用资源 85K）上可实现 10 通道的时间测量。在 Kintex7 325T 上预计可实现 30+的测量通道并包含 PCIE2.0X8 的数据连接逻辑。

SeRuTDC 提供标准 AXI/AXIS 接口，方便与 Zynq A9 Arm 核或 Microblaze 集成。借助于 Arm 或 Microblaze 提供多种通讯接口，如 RS232 串口、SPI、UDP（LWIP）。在需要高速、连续时间测量的领域，还可以与 Riffa 架构集成，提供基于 PCIE2.0 的高速时间测量方案。其中基于 PCIE2.0X8 的数据读取方式可提供 180 万个采样点/秒的连续测量能力（各通道测量速率总和）。

SeRuTDC 提供灵活的数据处理方式。随 IP 核提供基于 SDK 开发的 bare-metal 函数库。提供配置、控制 TDC 核并对吐出数据进行译码的功能。译码后的测量值由三个变量组成：1.TDC 通道号;2.粗计数，单位 ns;3. 精计数，单位 ps。对于实时性要求高的应用，也可以将译码模块固化在 FPGA 中，直接输出固定格式的定点测量数据。

SeRuTDC 提供多种集成方式。可以提供基于各种通用开发板的一体化解决方案，用户无需进行外围硬件以及软件设计，直接通过约定的数据接口获取数据。同时，我们也开发了基于加密网表的 IP 核，可通过 Vivado 工具链方便地集成到用户的设计中去。

1.1特点与优势

优势	特点
集成化的多通道测量	● Zynq-7020 上可实现 10 个测量通道，易于实现多种手持、便携设备。 ● Kintex7 325T 上可实现 30+个测量通道，与 Riffa PCIE2.0X8 一起提供无以伦比的强大测量能力。
强大的持续测量能力	● 长达 73 年的测量量程

	● 在 Zynq-7020（无 PCIE）上以 DDR 内存作为缓存时，通过 DMA 将测量数据填充至内存中，直至内存填满为止。此种方式下，最大平均数据吞吐率受限于 DMA 的带宽，约为 30MSPS（通道总和），每通道峰值测量速率为 70MSPS（持续时间受限于每个通道分配的片上缓存） ● 在 Zynq-7020 上采用 UDP 实时转发时，数据吞吐率受限于 LWIP 的转发效率，实测约为 10MSPS，持续时间没有任何限制。 ● 当采用 PCIE2.0X8 作为数据传输接口时，可以提供 180MSPS 的持续测量能力（各通道总和），其中单通道持续测量速率为 90MSPS。限制条件仅为上位机内存容量或者高速 SSD 的容量。（也可采用 PCIE2.0X1、X4 的接口，数据吐出率相应减小）
集成方案、简化设计	● 得益于 Zynq 的强大计算能力，可以实现紧凑的时间测量集成方案。其中 PL 端实现时间测量逻辑，PS 端可运行 Linux 操作系统，实现复杂的测量数据分析处理、数据可视化等功能。 ● 当采用 PCIE2.0 数据接口时，提供 Linux 下的设备驱动、数据采集程序。
灵活配置，按需定制	● 可以基于网表的 IP ● TDC 通道数、量程、数据传输方式等都可按需定制。 ● 可根据应用需求，缩小标准的 73 年的测量量程，从而减小单个测量值的数据长度，使得在相同的传输带宽下提供更高的测量速率。 ● 高精度时间测量对 PCB 板的走线和布局提出了很高的要求，我司可提供相应的硬件设计咨询。

1.2应用领域

飞行时间测量（激光雷达）
医学成像（PET）
半导体自动化测试

单光子计数
质谱分析
高能物理
精密时间同步

1.3支持的器件

Xilinx Artix-7
Xilinx Spartan-7
Xilinx Kintex-7
Xilinx Zynq
未列出器件可定制

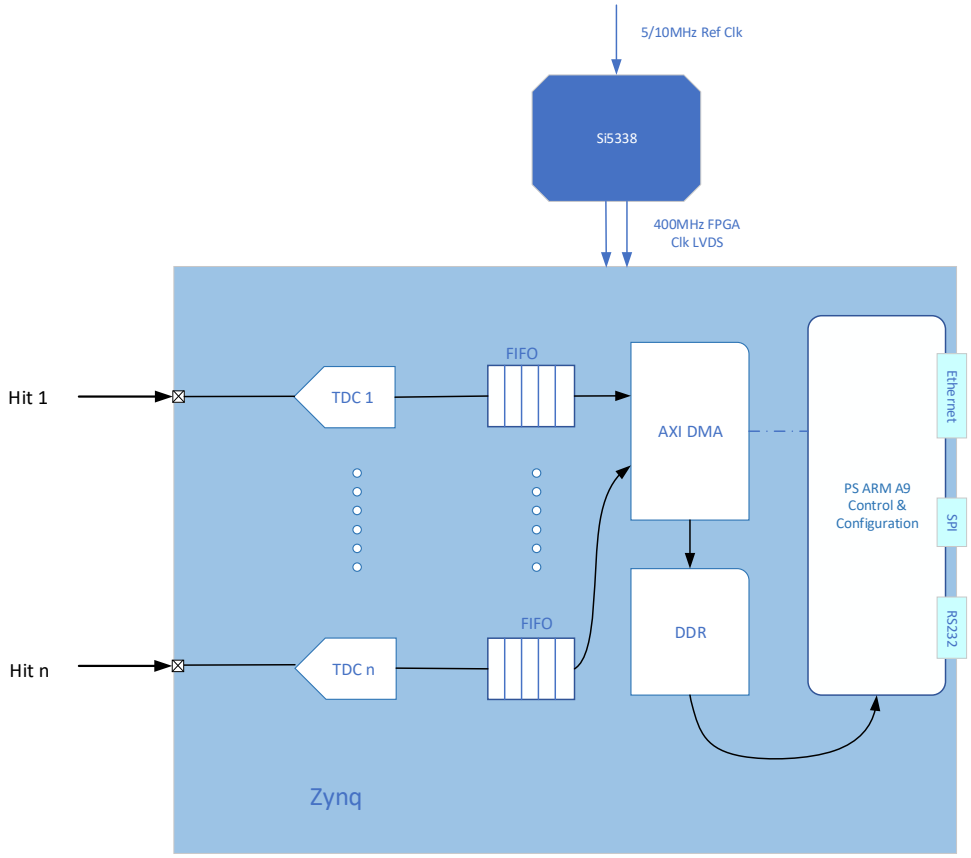
1.4数据接口

RS232
SPI
UDP/TCPIP
PCIE2.0 X1 ~ X8

2 原理框图

2.1基于 Zynq 的中低速率 TDC 解决方案

图 1：基于 Zynq 的片上 TDC 解决方案



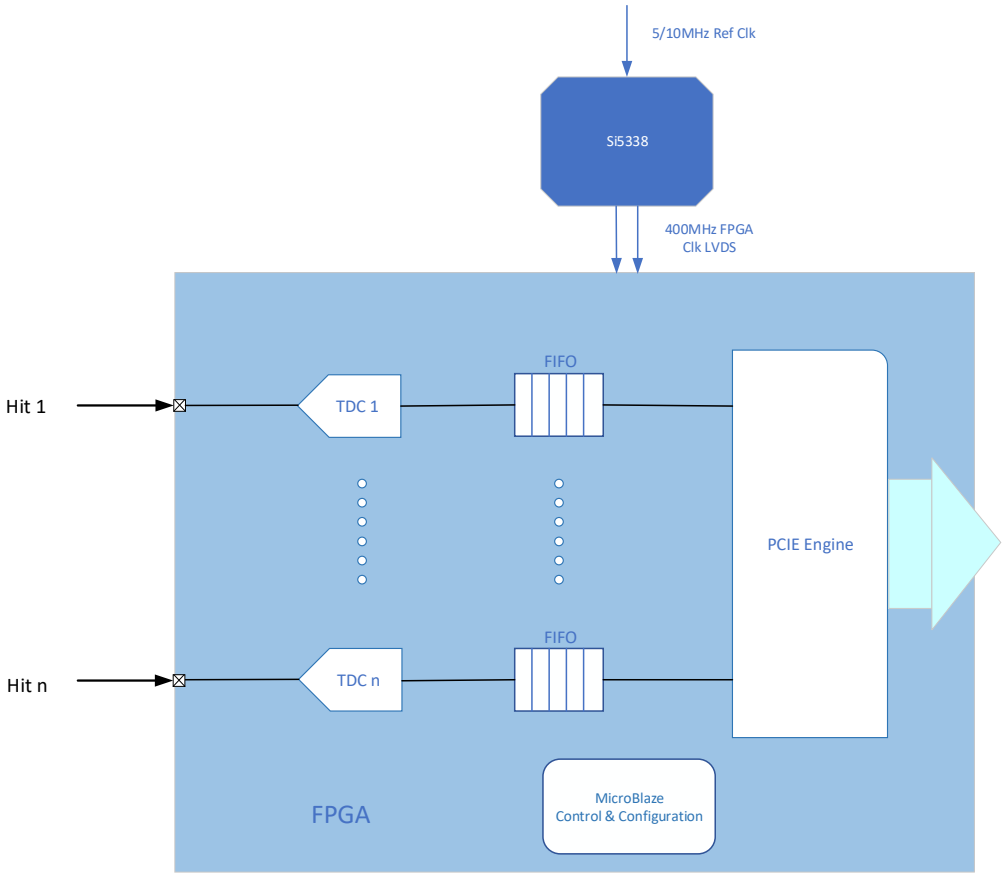
该方案基于 Xilinx Zynq Soc 芯片，外部 Si5338 时钟生成芯片提供 400Mhz 的参考时钟。Zynq 芯片不仅包含 PL 资源，还集成了两个 Arm A9 硬核，可提供强大的片上数据处理能力。Zynq 具有多种型号，提供不同的 PL 容量，部分型号具有 PCIE 传输能力。本方案为中低速率，适用于 Zynq-7010、7020 等不支持 PCIE 的 SoC。

TDC、FIFO、AXI DMA 等模块在 Soc 的 PL 侧实现，PS（A9）负责从 DDR 读取数据，并根据需要将数据通过 PS 侧的数据接口（如 Ethernet、SPI、RS232）向外转发。双核 A9 提供了强大的运算能力，可在其上运行多种经过适配的 Linux 版本。因此可利用 PS 端直接对 TDC 数据进行分析处理及可视化，极大的方便了手持及便携设备的开发。

本方案采用 AXI DMA 实现 TDC 测量数据向 PS 侧 DDR 的搬运。AXI DMA 可提供大约 300Mbyte 的传输带宽。SeRuTDC TDC Core 用 12 Byte 表示一个测量数据，300Mbyte 相当于 25MSPS 的数据吞吐能力。经过实测，在 DDR 被填满前，该方案可实现各通道总计不小于 25MSPS 的持续测量能力。另一方面，由于每个 TDC 通道有自己的 FIFO(在 zynq-7020 的 10 通道实现上每个通道的 FIFO 深度是 2048 个 samples)，在 FIFO 被填满前，每个通道的 TDC 可达到单通道测量能力的峰值，约 45MSPS。在无限制的连续测量条件下，持续测量能力受限于外部数据通道的带宽。

2.2 基于 Zynq/Kintex 的高速 TDC 方案

图 2：基于 Zynq/Kintex 的片上 TDC 解决方案



该方案适用于具有 Gigabyte Transceiver (GT) 的 Zynq/Kintex/Artix 芯片，采用 PCIE 的数据接口提供极高的传输带宽（PCIE2.0 X8 理论带宽可达 3.2GByte），从而提供无限制的高速 TDC 测量能力。

该方案的所有数据通路模块，包括 TDC 测量单元、缓存 FIFO 单元以及 PCIE 数据引擎都在 PL 侧实现，Microblaze 或 PS（Zynq）仅用于控制和配置 TDC 单元。不同于传统的基于 DMA 的 DMA->DDR->PCIE 的 PCIE 实现方式，测量数据既不通过 PS 侧的 DDR 也不通过 PL 的 DDR，从而实现了高带宽和低延时的数据传输。

经过实际测量，该方案可提供所有通道总计达 180MSPS 的不间断无限制的数据吐出速率，对应 PCIE 的带宽约为 2.8GB，其中单通道的最大测量速率为 90MSPS。在如此高的带宽下，短时的测量也会产生大量的数据，因此上位机需要配置充足的内存或高速 SSD 来存储测量数据。

3 典型技术参数

3.1测量性能参数

性能项	描述	条件	最小值	典型值	最大值	单位
测量精度	Single-shot RMS resolution			21		ps
INL	非线性积分			50	100	ps
DNL	非线性差分			21		ps
测量速率	测量 dead time				11	ns
	单通道峰值测量速率	Kintex Zynq/Artix			90 70	MSPS
	单通道峰值测量速率维持时间	Non-PCIE（受限于片上缓存）			2048	samples
	单通道峰值测量速率维持时间	PCIE2.0 X8			无限制	
数据吐出速率	多通道最大数据吐出速率	DMA 模式，非 PCIE 。受限于 DDR 容量。			30	MSPS
	多通道最大数据吐出速率	PCIE2.0 X8 （无限制）			180	MSPS

3.2参考时钟及输入脉冲指标要求

性能项	描述	条件	最小值	典型值	最大值	单位
F_refclk	参考时钟频率	Si5338 输入端	5	10	500	MHz
	参考时钟电压			2.5/3.3		V
	参考时钟类型	Si5338 输入端		CMOS/ LVDS		
F_fpga	FPGA 参考时钟频率	Si5338 输出		400		MHz
	FPGA 参考时钟电压			2.5		V
	FPGA 参考时钟类型			LVDS		
tpps	单通道脉冲间隔		11			ns

4 典型性能参数

图 3：直方图，被测信号 10.00001MHz 方波， 200000 个测量值，差分后绘制直方图。（10.00001MHz 方波的周期为 99999.90000010001ps）

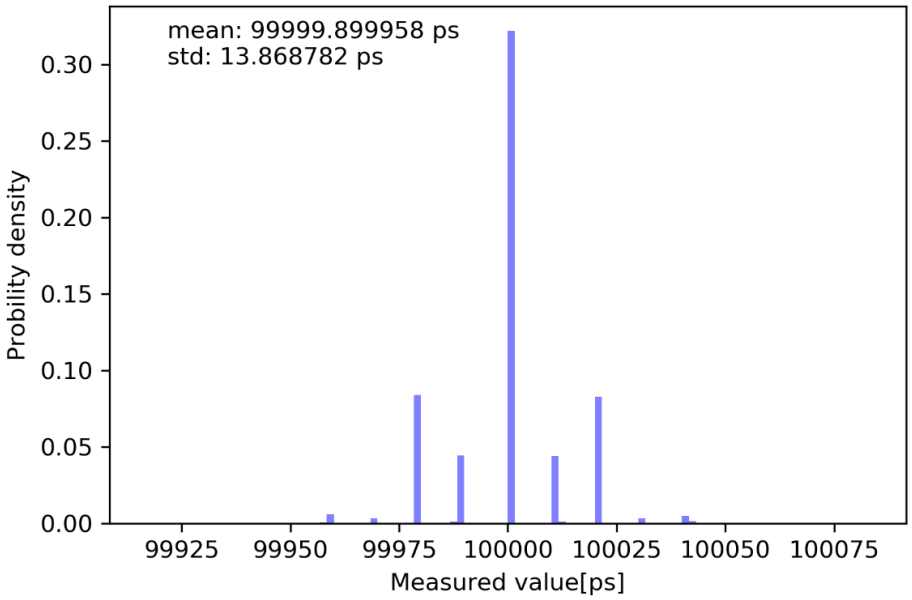


图 4：直方图，被测信号 10.00002MHz 方波， 200000 个测量值，差分后绘制直方图。（10.00002MHz 方波的周期为 99999.8000004 ps）

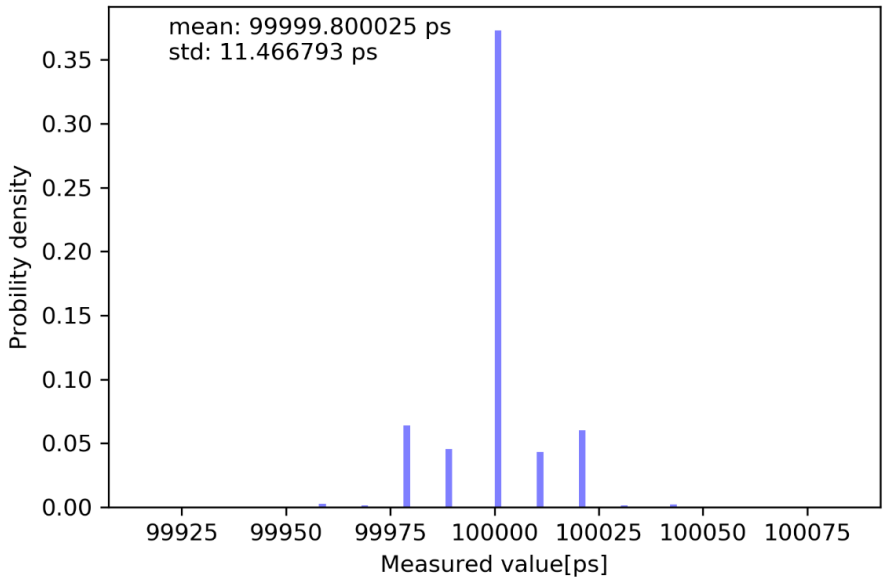


图 5：直方图，被测信号 10.00003MHz 方波， 200000 个测量值，差分后绘制直方图。（10.00003MHz 方波的周期为 9.99997000009 ps）

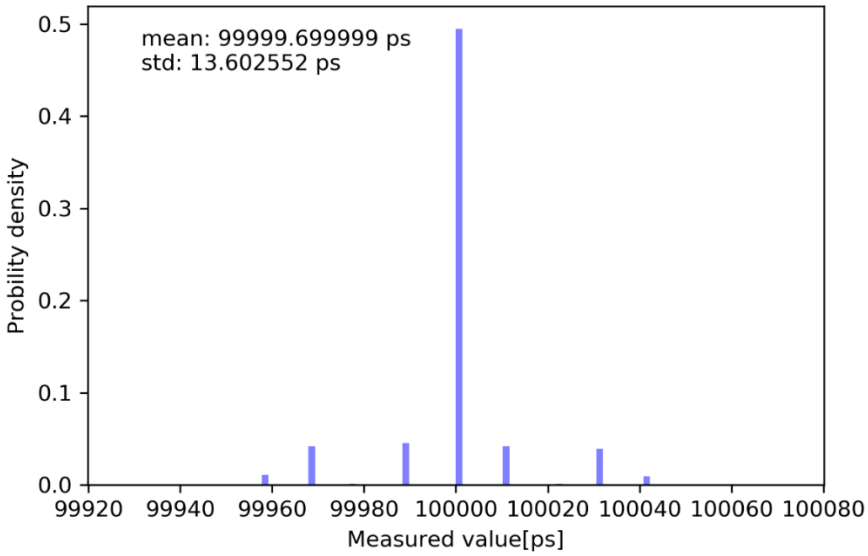


图 6：直方图，被测信号 两路 10.00001MHz 方波 A、B，200000 个测量值，A-B 后绘制直方图。

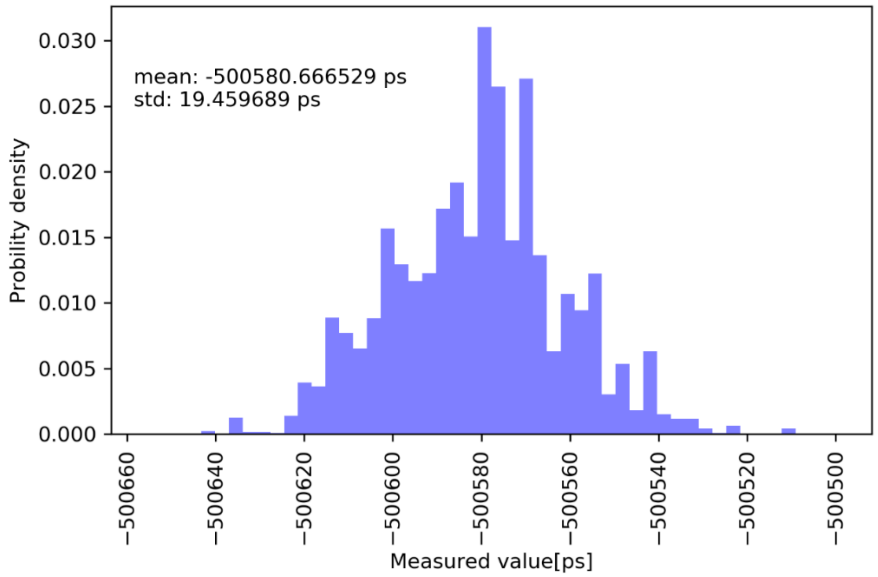


图 7：单路时间戳 INL 非线性积分，被测信号 10.00001MHz 方波，取 100 个连续测量值，差分后绘图。从下图可以看出，INL 约为 50ps。

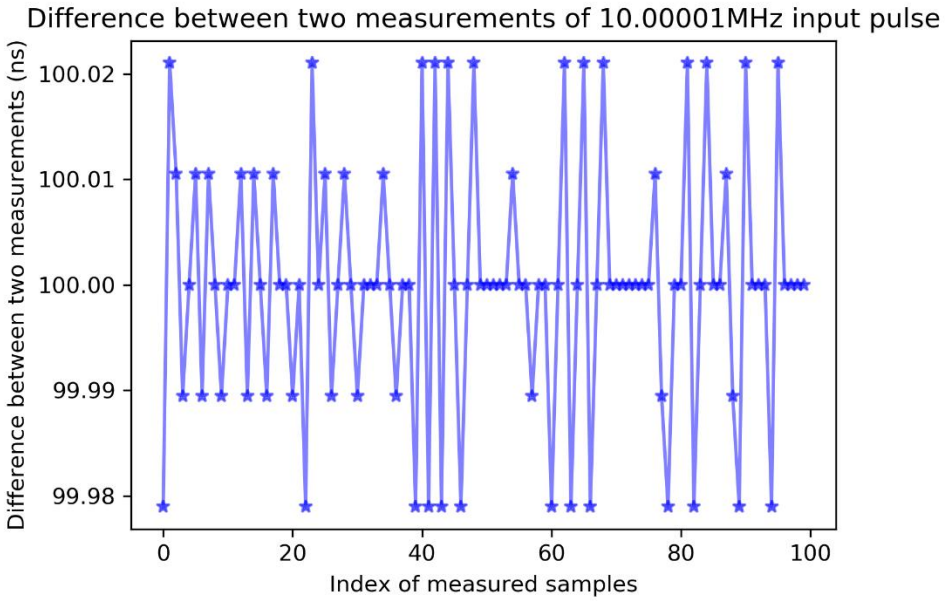
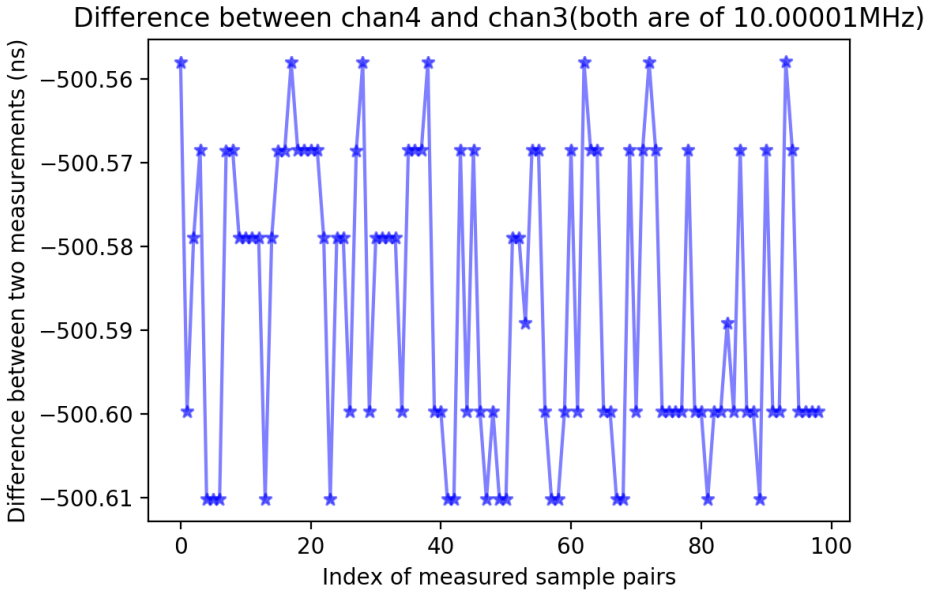


图 8：两路时差 INL 非线性积分，被测信号 两路 10.00001MHz 方波 A、B， 取 100 个连续测量值，绘制 A-B。从下图可以看出，INL 约为 60ps。



5 高速测量的性能参数

图 9：直方图，被测信号 90.009MHz 方波， 200000 个测量值，差分后绘制直方图。(90.009MHz 方波的周期为 11110.0001111ps)

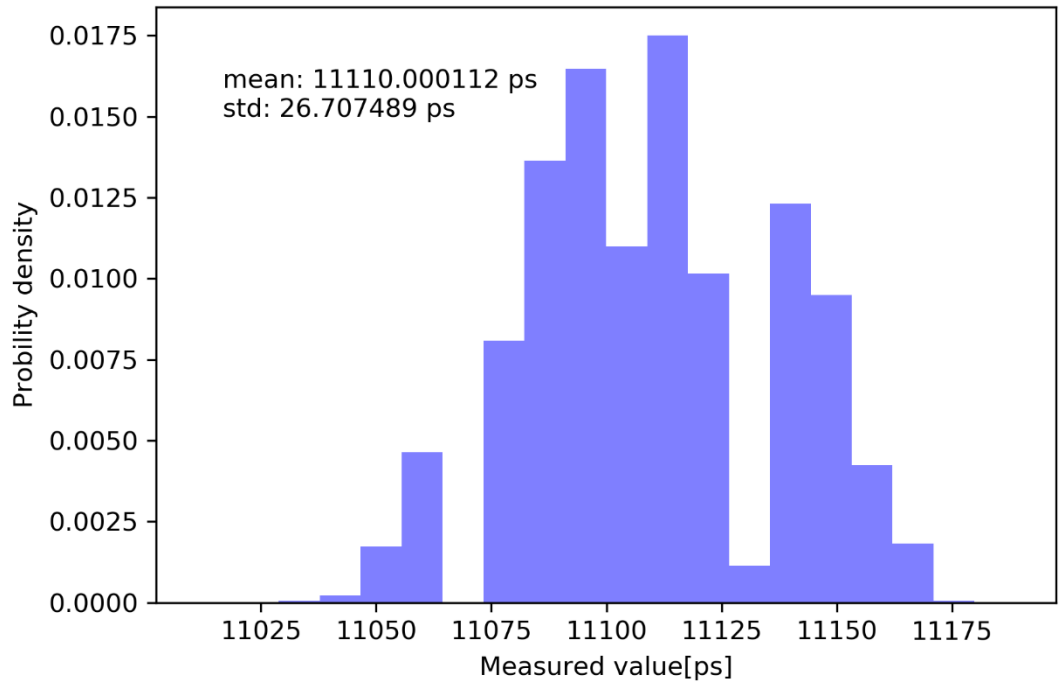


图 10：直方图，被测信号为 A、B 两路 90.009MHz 方波， 200000 个测量值，A-B 后绘制直方图。

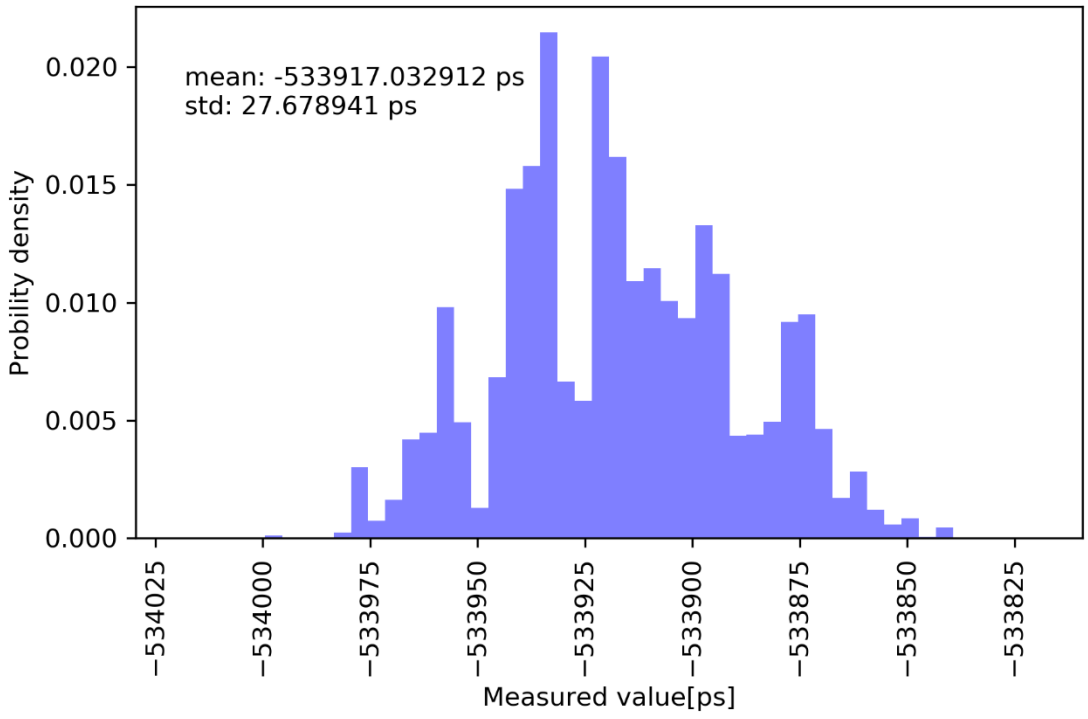
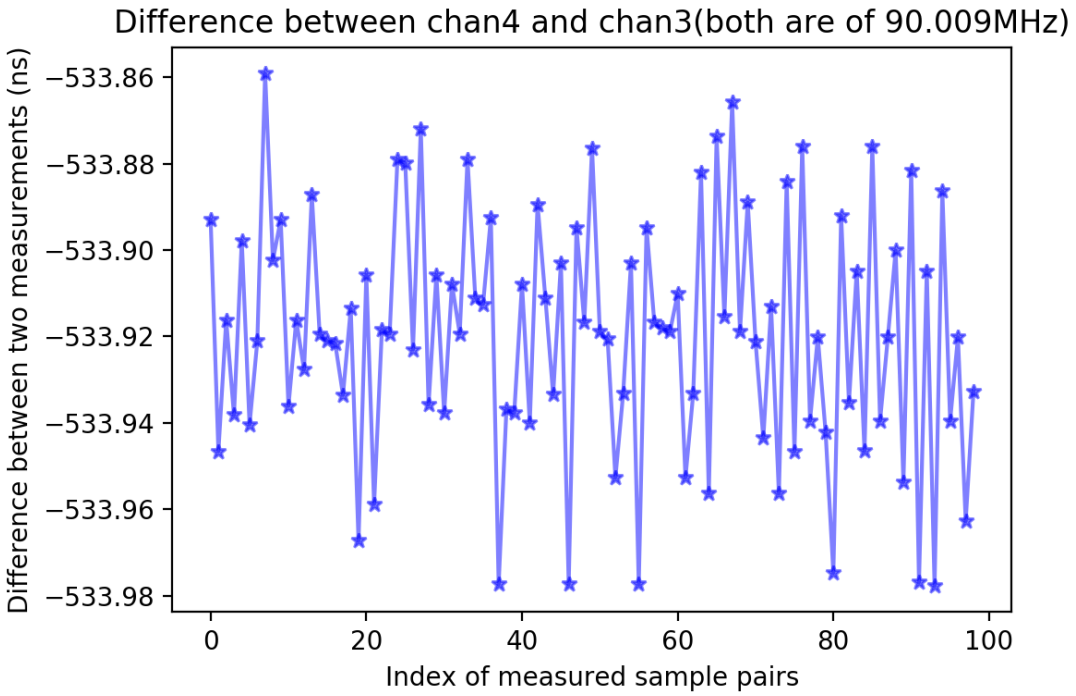


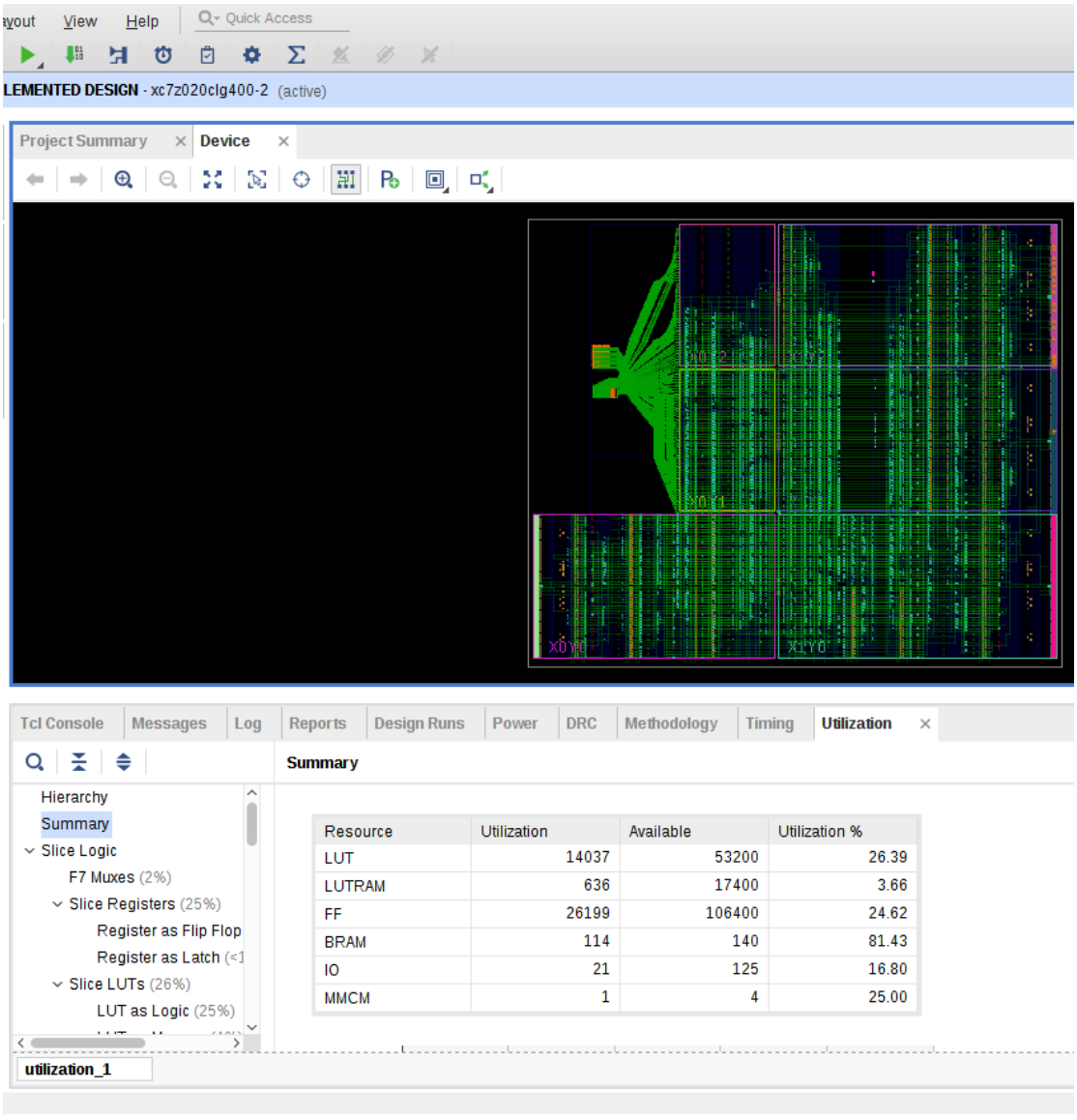
图 11：两路时差 INL 非线性积分，被测信号 两路 90.009MHz 方波 A、B， 取 100 个连续测量值，绘制 A-B。从下图可以看出，INL 约为 100ps。



6 FPGA 资源消耗与能耗评估

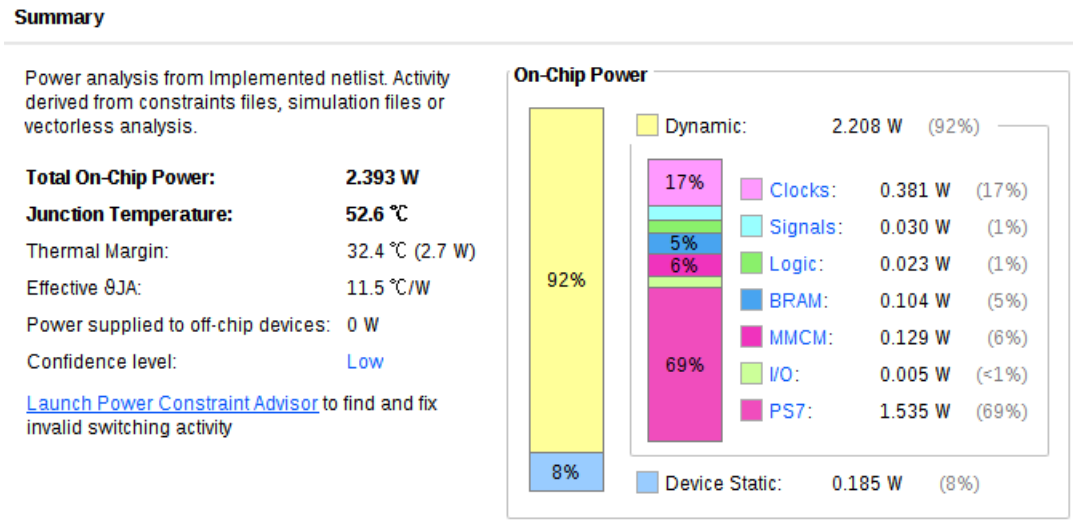
6.1 Zynq-7020 10 通道 TDC

图 12: Zynq-7020 资源占用



Resource	Utilization	Available	Utilization %
LUT	14037	53200	26.39
LUTRAM	636	17400	3.66
FF	26199	106400	24.62
BRAM	114	140	81.43
IO	21	125	16.80
MMCM	1	4	25.00

图 13: Zynq-7020 能耗估计



6.2Kintex-7 325T 4 通道 TDC+PCIE2.0X8+Microblaze

图 14: Kintex7k325 资源占用

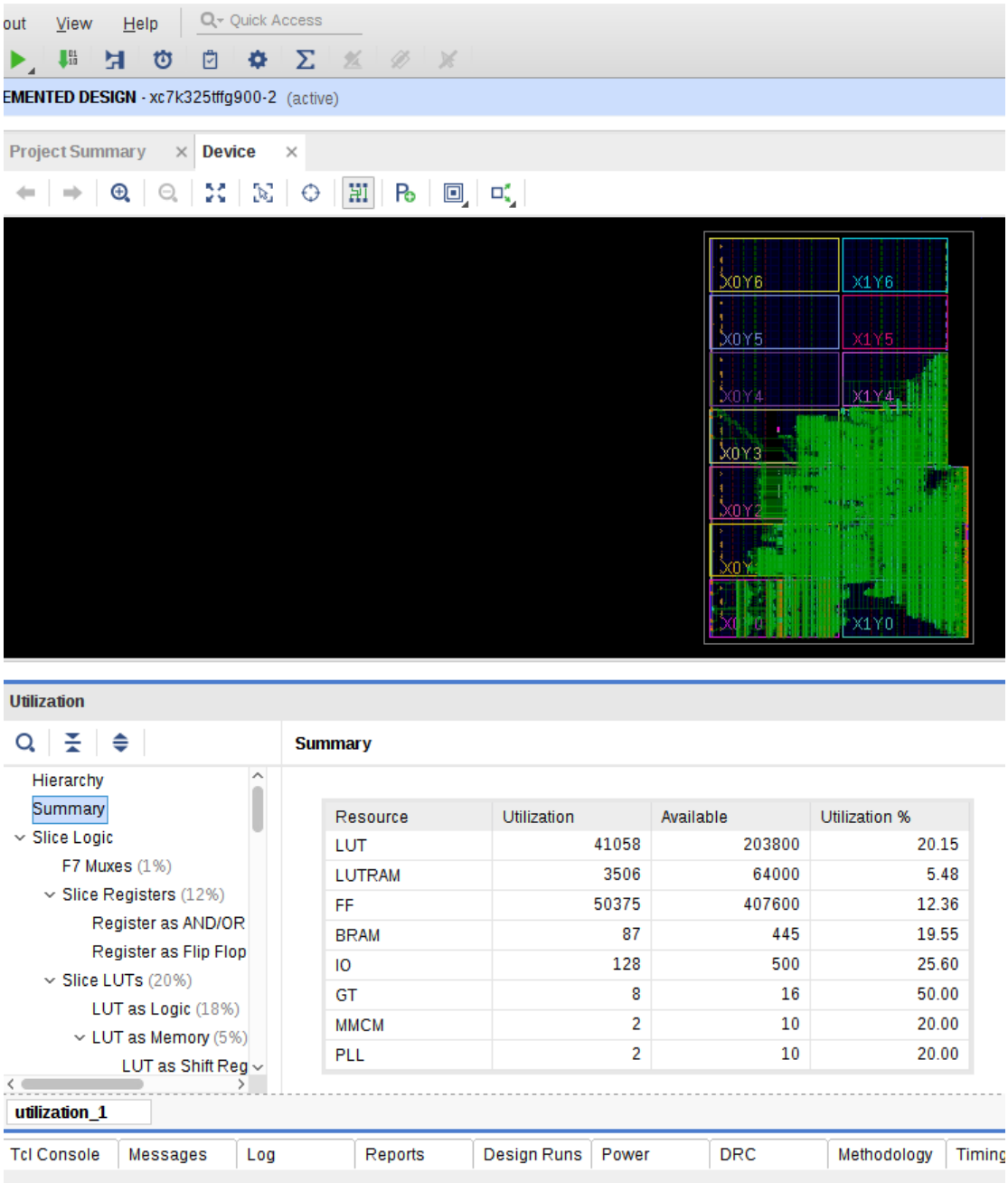
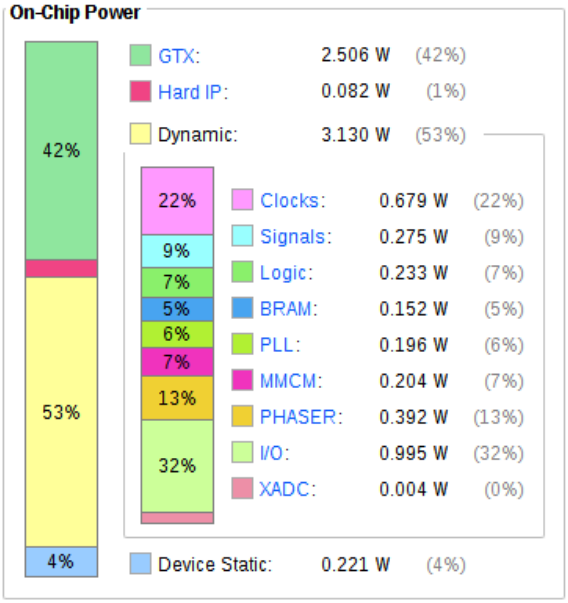


图 15:Kintex 7K325 **能耗估计**

Summary

Power analysis from Implemented netlist. Activity derived from constraints files, simulation files or vectorless analysis.

Total On-Chip Power:	**5.938 W**
Junction Temperature:	**35.5 ℃**
Thermal Margin:	49.5 ℃ (27.1 W)
Effective θJA:	1.8 ℃/W
Power supplied to off-chip devices:	0.44 W
Confidence level:	Low

Launch Power Constraint Advisor to find and fix invalid switching activity