

SeruTek 双通道 TDC 测试报告

--基于 Xilinx 7 Series 面向 ToF 应用

2020 年 6 月

上海瑟如电子科技 周明翔

目录

第一章	简介.....	1
第二章	实验设置.....	3
2.1	软硬件环境.....	3
2.2	时钟设置.....	4
第三章	测试内容.....	5
3.1	频差的影响.....	5
3.2	测试项目.....	6
3.3	测试结果汇总.....	6
3.4	测试结果 -- 10.2345KHz.....	7
3.4.1	残差序列:	7
3.4.2	邻差序列.....	8
3.5	测试结果 -- 100.23456KHz.....	8
3.5.1	残差序列.....	9
3.5.2	邻差序列.....	10
3.6	测试结果 -- 1.23456MHz.....	10
3.6.1	测量残差.....	11
3.6.2	邻差序列.....	11
3.7	测试结果 -- 10.23456MHz.....	12
3.7.1	测量残差.....	13
3.7.2	邻差序列.....	13
3.8	测试结果 -- 70.23456MHz.....	14
3.8.1	测量残差.....	15
3.8.2	邻差序列.....	15
3.9	通道间时延变化测试.....	16

第一章 简介

SeruTek TDC 是上海瑟如电子公司开发的一款基于 Xilinx 7 系列 FPGA/SoC 的 TDC IP 核。SeruTek TDC 采用多通道时间戳机制，对各个通道输入的脉冲记录其时间戳。时间戳分为两部分：粗计数和精计数。粗计数由 FPGA 内部实现的计数器得到，精密计数由 FPGA 内部的进位链组成的延时链得到。在采用类似的粗、精计数组合的技术方法中，最大的问题在于输入脉冲有可能非常靠近粗计数器时钟的上升沿，从而不满足其 Flip-Flop register 的 setup 时序要求并导致非稳态。非稳态的产生使得粗计数的值极有可能发生单周期跳变，从而严重影响计数精度。SeruTek TDC 采用自研的独有技术完美解决了这一问题，从而大大提升了 TDC 的实用性。此外，SeruTek TDC 还具有片上自动码宽度自动校准功能，并采取了多种技术手段减小了通道之间的时延差变化波动，保证了在结温变化时，通道之间的时延差小于 20ps。

高精度、大量程、高速率、低通道差、多通道等优异的特性使得 SeruTek 广泛适用于通用计数器领域以及需要用到脉冲飞行时间(ToF)的应用，如激光测距、激光雷达、PET、超声波等应用。SeruTek TDC 采用标准的 AXI、AXIS 接口，可与 Zynq A9 硬核以及 Microblaze 软核集成，实现高速数据传输。

SeruTek TDC 的主要技术特性如下：

1.	One-shot RMS 精度	< 25ps
2.	最大量程	约 70 年
3.	单通道最小触发间隔（dead time）	14 ns
4.	最小可测时间间隔	单通道：14ns 将 start、stop 信号分布在不同通道上可以测量任意小的时间间隔
5.	通道间一致性	< 20 ps
6.	突发触发速率（burst hit rate）	70MHz 突发速率最大样本数受限于片上 FIFO 的容量。标准情况下为

		2048 个点，可根据使用芯片容量定制。
7.	连续触发速率	取决于采用的 readout 机制，当使用 DMA 时，单通道连续触发速率>30MSa/s。当配合 riffa 实现 PCIE 传输时，可在 PCIE2.0 X8 配置下实现多通道总和 180Msa/s 的连续采样速率。

第二章 实验设置

2.1 软硬件环境

测试硬件组成：

- ◆ 一块黑金 AX7103 开发板，芯片型号为 XC7A100T-2FGG484；
- ◆ 一块 Si5341 开发板，作为定时触发信号源；

测试软件组成：

- ◆ Vivado Suit 2017.4
- ◆ SeruTek sdk library r0.9 (SDK 软件库，用于 TDC 核配置、控制以及原始数据解析)

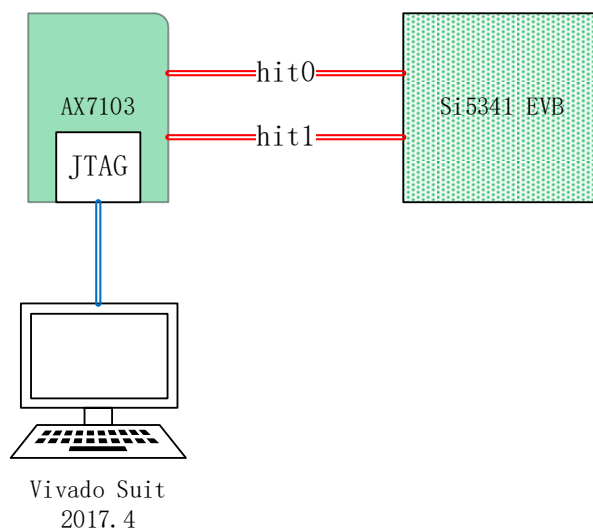


图2.1 SeruTek 双通道 TDC IP 测试设置

两路 hit 信号通过 SMA-转杜邦线接入 AX7103 开发板的扩展端口(2.54mm)。这样的方式并不是最优的，但有助于了解 TDC IP 在一般条件下的性能。因为 2.54mm 扩展口并没有经过阻抗匹配，串扰抑制能力也一般，如果客户新设计电

路板，需要对时钟信号、hit 信号的阻抗匹配、串扰抑制等问题多加考虑。

2.2 时钟设置

为了模拟用户真实的使用场景，TDC 的时钟源与定时信号的时钟源为独立时钟源，并不同源。因此测量结果会引入两个时钟源之间的频差及相位抖动。免费评估版的 SeruTek TDC 的参考时钟输入为 50MHz 的单端输入，在 AX7103 上配置有 200MHz 的有源差分晶振，SiT9102-200，其抖动较低，约为 1ps。通过 MMCM 模块将此差分时钟信号转换为 50MHz 单端时钟输入到 SeruTek TDC。需要注意的是，该方法并非最优，增加的 MMCM 将引入额外的抖动。用户可定制 TDC core 的时钟输入。

Si5341 EVB 是一款时钟发生器评估板，具备 10 组时钟输出，时钟频率 120Hz-1028MHz，输出可配置成 LVCOMS 或 LVDS 等不同的格式，便于多通道 TDC 的测试与评估。测试时，基于 Si5431 EVB 板载的 48MHz 晶振，产生不同频率的触发定时信号，作为 SeruTek TDC 的 hit 信号。

第三章 测试内容

本测试主要考察 SeruTek TDC 在不用频率的触发信号下的测量结果。主要考察测量结果的抖动、测量结果的准确度以及通道之间的时延差的波动。

TDC 的一大应用领域是飞行时间测量 ToF。下表是不同的 hit 频率下，hit 信号之间的时间间隔对应光速行进的距离。由于 10 倍数频率与 TDC 参考时钟 50MHz 有固定的相位关系，即使两个时钟不同源，但当高速测量时（hit 频率较高时），测量值的精计数值可能集中在某些 bin 上，表现为极低的测量抖动。然而这种情况并不能全面表征 TDC 在整个测量范围内的性能，因此我们特意在 10 倍数频率上随意增加了频率分量，以求在精密计数环节增加足够多的变化，以便全面考察 TDC 的性能。

	光行进距离（真空）	对应的 Hit 信号频率	测试时选取的频率
	300000m	10KHz	10.2345K
	3000m	100KHz	100.23456K
	300m	1MHz	1.23456M
	30m	10MHz	10.23456M
	5m	70MHz	70.23456M

3.1 频差的影响

由于 TDC 参考时钟与 Hit 信号来源于不同的晶振，因此晶振之间的频率差会影响到测量结果，造成测量值与真值的偏差，偏差可以通过下列公式估算：

$$\Delta t = \Delta f * (t_n - t_{n-1})$$

其中 $(t_n - t_{n-1})$ 是两次 hit 间隔的时间。可见，偏差对低频 hit 信号，或远距离测距影响较大，解决方式是选用频率精度较高，温漂较小的晶振作为 TDC 以及激光发射时序的时钟源。

3.2 测试项目

1. 对测量获得的时间戳序列进行一阶拟合。
2. 原值减去拟合值得到残差序列，计算残差的标准差。
3. 对同一通道的时间戳序列使用 `numpy.diff` 函数求取相邻前后两个测量值的差，得到邻差序列，并求取平均值，得到被测信号的时钟周期。
4. 求反，得到被测信号的频率。
5. 邻差序列求取标准差，得到时钟周期的测量标准差
6. 最后，两个通道的时间戳序列两两相减，并计算均值，得到通道差的平均值。

3.3 测试结果汇总

下表列出了在不同频点的 `hit` 信号下，各通道的残差标准差和邻差标准差。残差的计算方法为：采用一阶多项式对时间戳序列进行拟合，再将实测值减去拟合值，得到残差。一阶模型认为频率是常数，在时间间隔较大的时候，一阶模拟不能反映晶振频率的变化，这种情况下，残差包含了频率变化的分量，不能完全表征 TDC 的测量性能。一组时间戳序列 `a[0:n]` 的邻差定义为 `a[1:n]-a[0:n-1]`。如果 `hit` 信号是周期信号，邻差序列可以表示信号的周期。在之后的章节中对各频点的测试结果做更为详尽的分析。

测试项目	10.2345KHz	100.23456KHz	1.23456MHz	10.23456MHz	70.23456MHz
通道 1 残差的标准差	49.81(ps)	20.87(ps)	19.14(ps)	19.41(ps)	21.75(ps)
通道 1 邻差的标准差	24.50(ps)	29.14(ps)	22.92(ps)	25.96(ps)	32.36(ps)
通道 2 残差的标准差	50.42(ps)	20.48(ps)	18.12(ps)	18.64(ps)	20.64(ps)
通道 2 邻差的标准差	25.62(ps)	28.81(ps)	21.45(ps)	24.63(ps)	28.86(ps)

3.4 测试结果 -- 10.2345KHz

被测信号为 Si5341 EVB 输出的 1 组（2 路）LVCMOS25 互补(相位相差 180 度)信号。Si5341 设置的输出频率为 10.2345KHz，以下截图是各项测试内容的计算结果：

```
PS C:\Users\zhoun\Documents\TDC\Netlist_DEV_TEST> & C:/Users/zhoun/Anaconda3/python.exe
*****
tdc1

9.771e+04 x + 1.026e+12
std of residual:49.81
mean of measured clock peroid: 97708856.60 (ps)
measured frequency: 0.0102344868MHz
std of measured clock peroid: 24.50 (ps)
*****
tdc2

9.771e+04 x + 1.026e+12
std of residual:50.42
mean of measured clock peroid: 97708856.63 (ps)
measured frequency: 0.0102344868MHz
std of measured clock peroid: 25.62 (ps)
*****
tdc2-tdc1
mean of channel difference is :-48855154.38 (ps)
```

3.4.1 残差序列：

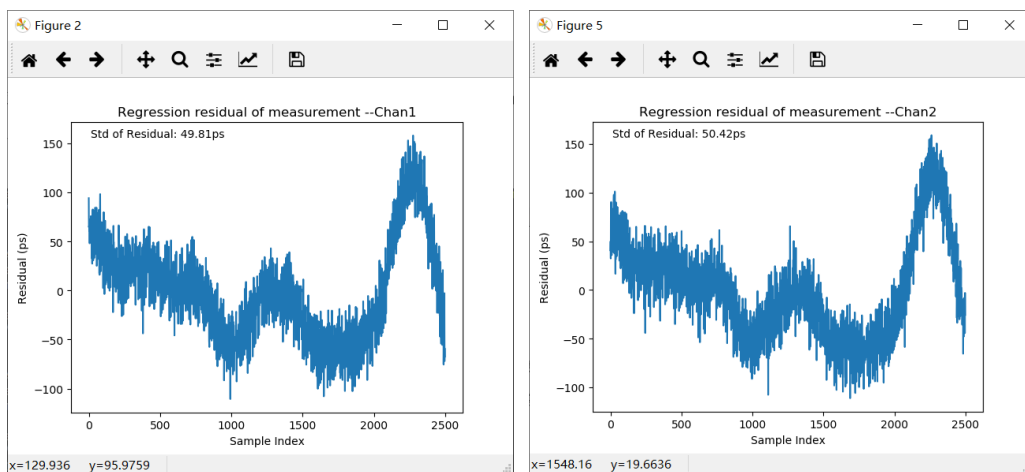


图3.1 10.2345KHz 通道 1、2 残差

分析：在较大的时间间隔下，晶振的频率变化的高次分量对测量结果的影响非常明显。约 50ps 的残差抖动也较大，原因测量是包含了两个不同晶振的频率

非线性变化。

3.4.2 邻差序列

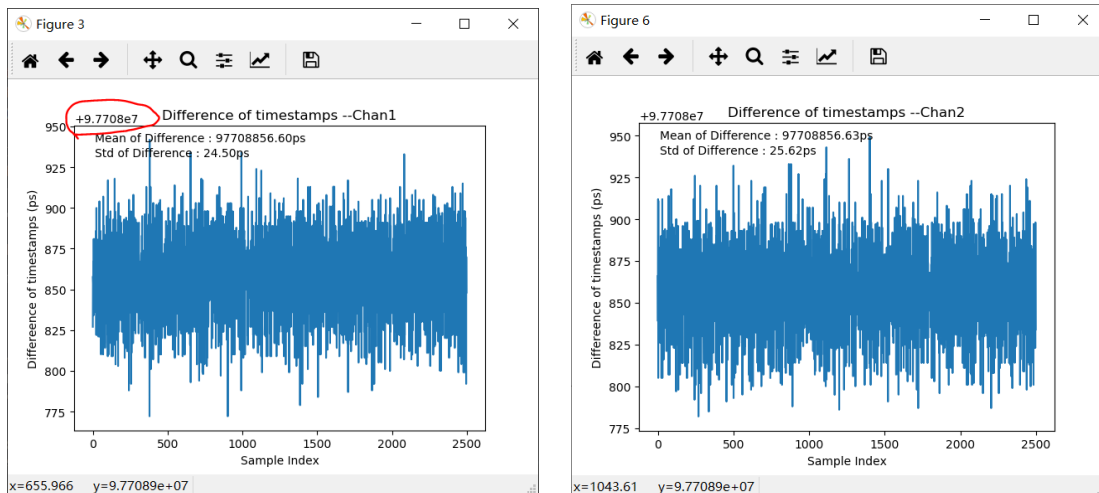


图3.2 10.2345KHz，通道 1、2 邻差序列及其均值、标准差

理想情况下，10.23456KHz 对应的时钟周期为 97708730.28ps，而通道 1、2 的测量均值都为 97708856.6ps，与理想值相差约 126.3ps。计算可以得到 TDC 时钟与 hit 时钟的频率偏差约为 $126.3(\text{ps}) / 97708730.28 (\text{ps}) = 1.29\text{ppm}$ 。当然，近 100us 的时间间隔下，晶振频差已不能用简单的常数来表示了，所以这里算出的频差与之后采用更高频率 hit 信号算出的有微小的误差。

3.5 测试结果 -- 100.23456KHz

被测信号为 Si5341 EVB 输出的 1 组（2 路）LVCMOS25 互补(相位相差 180 度)信号。Si5341 设置的输出频率为 100.23456KHz，以下截图是各项测试内容的计算结果：

```
PS C:\Users\zhoul\Documents\TDC\Netlist_DEV_TEST> & C:/Users/zhoul/Anaconda3/python.exe
*****
tdc1

9977 x + 1.211e+09
std of residual:20.87
mean of measured clock period: 9976611.40 (ps)
measured frequency: 0.1002344343 MHz
std of measured clock period: 29.14 (ps)
*****

tdc2

9977 x + 1.211e+09
std of residual:20.48
mean of measured clock period: 9976611.39 (ps)
measured frequency: 0.1002344344 MHz
std of measured clock period: 28.81 (ps)
*****

tdc2-tdc1
mean of channel difference is :-4988915.69 (ps)
```

3.5.1 残差序列

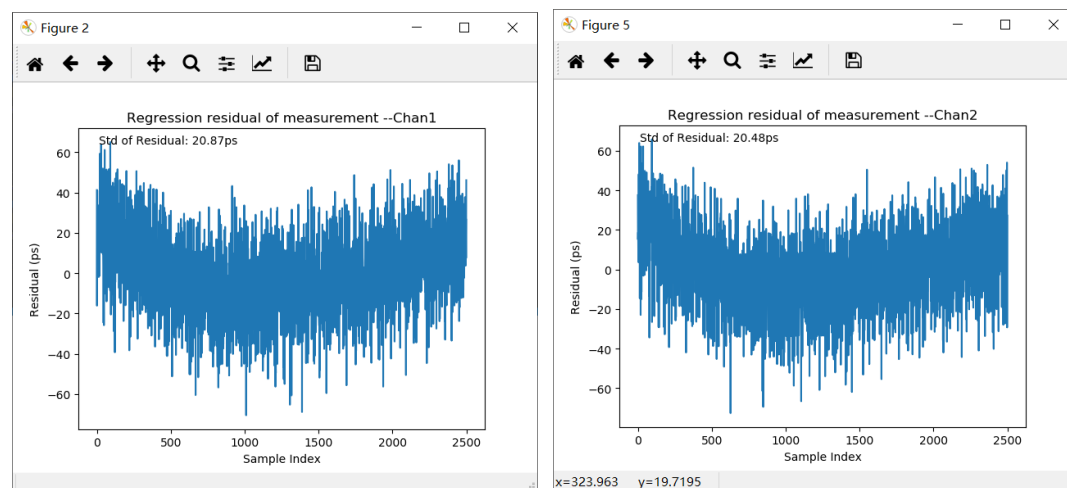


图3.3 通道 1、2 的测量残差

分析：随着 hit 频率提升近十倍，晶振频率的高次非线性变化的影响显著减小，但二次项的影响仍然明显。残差的标准差显著减小。

3.5.2 邻差序列

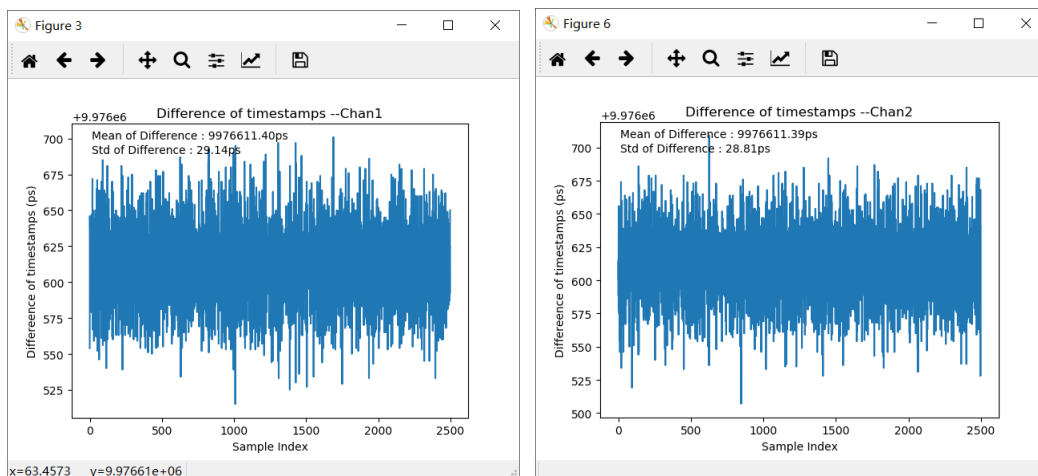


图3.4 100.23456KHz, 通道 1、2 的邻差序列及其均值、标准差

理想情况下, 100.23456KHz 对应的时钟周期为 9976598.89ps, 而通道 1、2 的测量均值都为 9976611.4ps, 与理想值相差约 12.51ps。计算可以得到 TDC 时钟与 hit 时钟的频率偏差约为 $12.51(\text{ps}) / 9976598.89 (\text{ps}) = 1.25\text{ppm}$ 。

3.6 测试结果 -- 1.23456MHz

被测信号为 Si5341 EVB 输出的 1 组 (2 路) LVCMOS25 互补(相位相差 180 度)信号。Si5341 设置的输出频率为 1.23456MHz, 以下截图是各项测试内容的计算结果:

```
PS C:\Users\zhom\Documents\TDC\Netlist_DEV_TEST> & C:/Users/zhom/Anaconda3/python.exe
*****
tdc1

810 x + 1.49e+11
std of residual:19.14
mean of measured clock peroid: 81006.24 (ps)
measured frequency: 1.234583971 MHz
std of measured clock peroid: 22.92 (ps)
*****

tdc2

810 x + 1.49e+11
std of residual:18.12
mean of measured clock peroid: 81006.20 (ps)
measured frequency: 1.234584471 MHz
std of measured clock peroid: 21.45 (ps)
*****

tdc2-tdc1
mean of channel difference is :404398.23 (ps)
```

3.6.1 测量残差

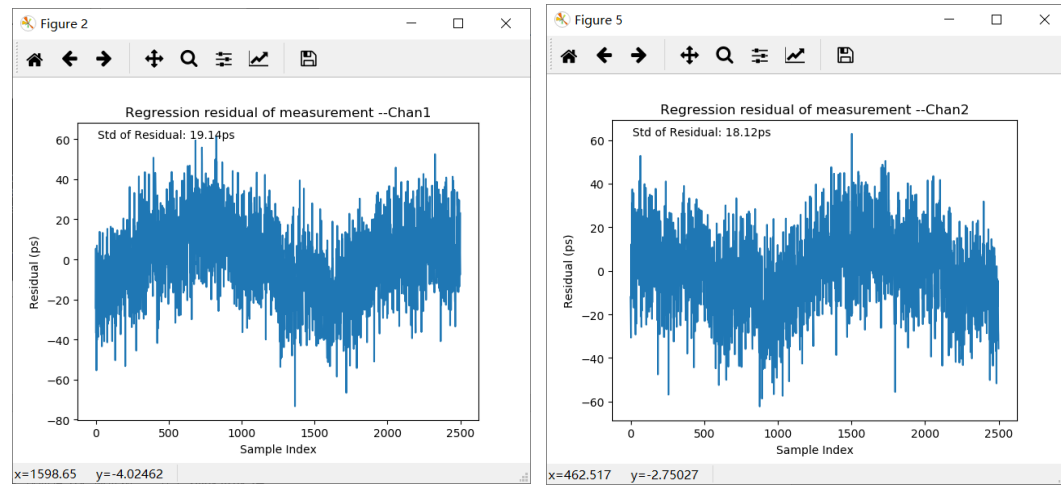


图3.5 通道 1、2 的测量残差

分析：晶振频率周期性变化仍然明显。但残差的标准差维持在 20ps 以下。

3.6.2 邻差序列

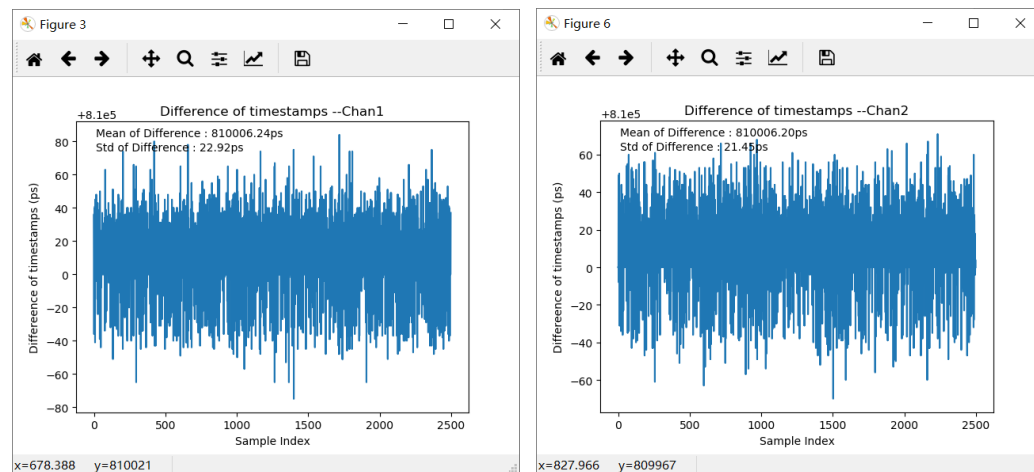


图3.6 通道 1、2 的邻差序列以及其均值、标准差

理想情况下，1.23456MHz 对应的时钟周期为 810,005.18ps。通道 1、2 测得的时钟周期均值都为 810006.2ps，有很好的一致性。与理想值的差值约为 1ps，而可以计算得到 TDC 时钟与 hit 时钟的频率偏差约为 $1(\text{ps})/810005.18 (\text{ps}) = 1.25\text{ppm}$ 。

3.7 测试结果 -- 10.23456MHz

被测信号为 Si5341 EVB 输出的 1 组（2 路）LVCMOS25 互补(相位相差 180 度) 信号。Si5341 设置的输出频率为 10.23456MHz，以下截图是各项测试内容的计算结果：

```
PS C:\Users\zhoum\Documents\TDC\Netlist_DEV_TEST> & C:/Users/zhom/Anaconda3/python.exe  
*****  
tdc1  
  
97.71 x + 4.035e+11  
std of residual:19.41  
mean of measured clock peroid: 97708.31 (ps)  
measured frequency: 10.234544278 MHz  
std of measured clock peroid: 25.96 (ps)  
*****  
tdc2  
  
97.71 x + 4.035e+11  
std of residual:18.64  
mean of measured clock peroid: 97708.29 (ps)  
measured frequency: 10.2345458527 MHz  
std of measured clock peroid: 24.63 (ps)  
*****  
tdc2-tdc1  
mean of channel difference is :341365.22 (ps)
```

值得一提的是，这里计算出的通道之间时间戳的差值 341365.22(ps)已经不能直接表征信号相位的差值了。这里的差值包含了使能 TDC 通道的时延。TDC IP 的通道使能是通过寄存器实现的。Zynq A9 或 Miroblaze 通过 Xil_Out32 指令，经过 AXI 接口写入对应通道的寄存器，从而使能测量。这整个过程需耗费数十个时钟周期。要在本次测试的使用的 Artix 开发板上，MCU 是 Miroblaze，频率较低，因此出现了近 300ns 的时延。可通过简单计算，将 $341365.22 - 3 \times 97708.29 = 48240.35$ (ps)，这样就符合通道 1 与通道 2 信号相差 180 度的条件了。在大部分应用中使能寄存器的延时并不构成问题，比如可以等使能所有通道后，再开放 hit 信号。如果客户应用需要极低的使能时延，可通过瑟如电子定制。

3.7.1 测量残差

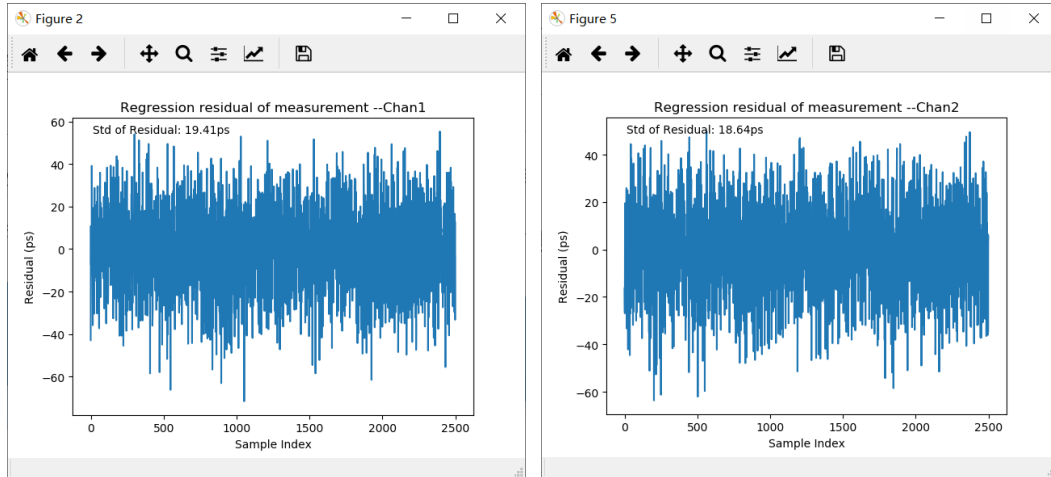


图3.7 通道 1、2 的测量残差

分析：在近似 100ns 的时间间隔下，晶振频率变化已不太明显。但残差的标准差维持在 20ps 以下。

3.7.2 邻差序列

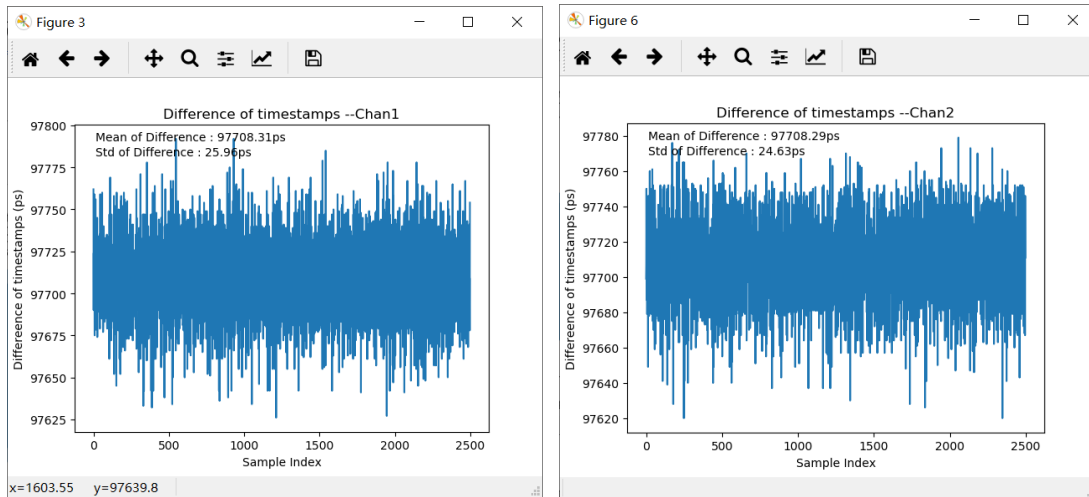


图3.8 通道 1、2 的邻差序列以及其均值、标准差

理想情况下，10.23456MHz 对应的时钟周期为 97708.16ps。通道 1、2 测得的时钟周期均值都为 97708.3ps。与理想值的差值只有 0.14ps，因为从之前的计算可以得到，晶振之间的频差约为 1.25ppm，那么在 97708ps 的时间间隔下，带

来的测时偏差为: $1.25\text{E-}6 * 97708 \text{ (ps)} = 0.12 \text{ (ps)}$ 。这从侧面可以印证, 当扣除频率的影响后, 2000 余点平均后, 测时精度小于 0.1ps 。

3.8 测试结果 -- 70.23456MHz

被测信号为 Si5341 EVB 输出的 1 组 (2 路) LVCMOS25 互补(相位相差 180 度) 信号。Si5341 设置的输出频率为 70.23456MHz, 以下截图是各项测试内容的计算结果:

```
PS C:\Users\zhoum\Documents\TDC\Netlist_DEV_TEST> & C:/Users/zhoulm/Anaconda3/python.exe
*****
tdc1

14.24 x + 5.241e+11
std of residual:21.75
mean of measured clock peroid: 14238.01 (ps)
measured frequency: 70.2345321371 MHz
std of measured clock peroid: 32.36 (ps)
*****
tdc2

14.24 x + 5.241e+11
std of residual:20.65
mean of measured clock peroid: 14238.03 (ps)
measured frequency: 70.2344117778 MHz
std of measured clock peroid: 28.86 (ps)
*****
tdc2-tdc1
mean of channel difference is :333547.89 (ps)
```

与 10.23456MHz 的情况一样, 这里计算出的通道之间时间戳的差值 333547.89(ps)已经不能直接表征信号相位的差值了。这里的差值包含了使能 TDC 通道的时延。如果客户应用需要极低的使能时延, 可通过瑟如电子定制。

3.8.1 测量残差

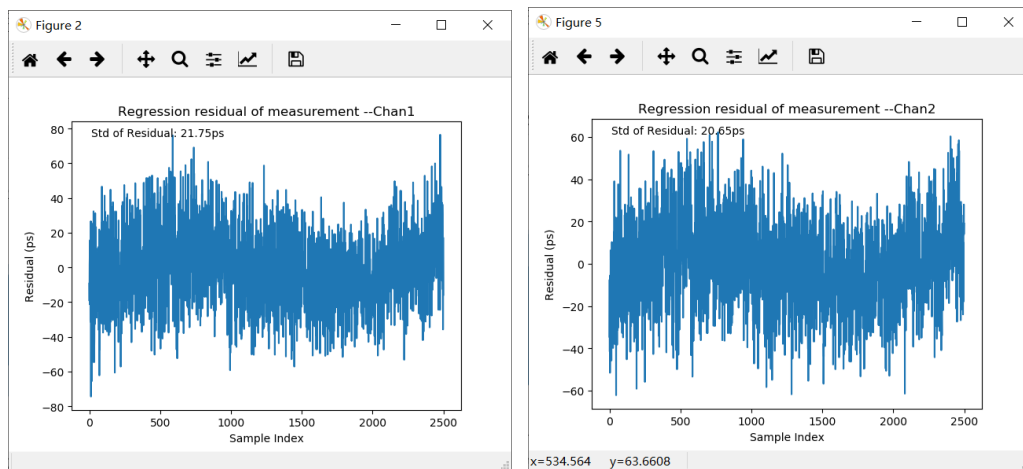


图3.9 通道 1、2 的测量残差

分析：在近似 14ns 的时间间隔下，又可以看到频率变化带来的波动。而且残差的标准差维持略微超出 20ps。残差抖动的略微增大可能是由于 70MHz 的高频信号之间的串扰导致的。

3.8.2 邻差序列

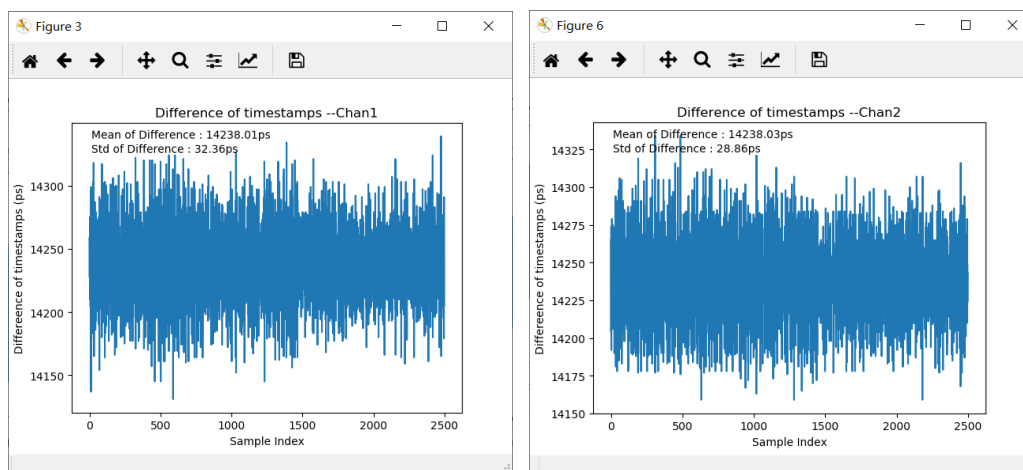


图3.10 通道 1、2 的邻差序列以及其均值、标准差

理想情况下，70.23456MHz 对应的时钟周期为 14238.00ps。通道 1、2 测得的时钟周期均值都为 14238.0ps。在这么短的时间间隔下，1.25ppm 的晶振间频

差影响已经微乎其微。邻差的标准差达到了 30ps 左右，可能是由于杜邦线无屏蔽能力，hit 频率增加引起的串扰增大，从而导致抖动增大。

3.9 通道间时延变化测试

多通道测量能力是 SeruTek TDC 极为重要的特性，不仅拓展了其使用场景，更大大简化了多通道 TDC 的部署与校准流程。对于 SeruTek TDC IP 而言，由于每个通道 hit 信号、时钟信号的走线长度不同，各通道间存在时延差。这些时延差是否固定，它们随结温变化的波动幅度关系到多通道 TDC 测量值的可信程度。在 SeruTek TDC 内部，针对重要的信号如时钟信号等都采用了低时延斜率(skew)布线资源，以减小通道时延差，并控制走线长度、减小结温对时延的影响。

对通道间时延采取多次断电重启 FPGA 开发板的方式，验证每次重启后对同一组（2 路）hit 时钟信号的时差测量值。从冷机状态到多次重启后，结温也会从 50 度左右上升到 80 度左右（通过 JTAG 口观察），可定性的评估结温变化时，通道时延的变化情况。下表列出了 6 次断电启动后，对同一组 100.23456KHz 互补信号进行测量，得到时间戳序列，并将通道 2-通道 1，得到通道差序列，并求平均值，录表于下：

1	4987697.69 ps
2	4987697.03 ps (-4988917.32)
3	4987698.37 ps (-4988915.98)
4	4987700.97 ps
5	4987701.43 ps
6	4987703.48 ps

由于 TDC 使能时刻相对于 hit 信号的相位是随机的，所以 TDC 使能后，有可能 hit0 先触发，也有可能 hit1 先触发。Hit1 先触发时，通道 2-通道 1 的时差值就为负值，为了便于比较，可加上一个周期的时差，使其为正。

可见尽管 6 次断电启动后，结温从 50 度上升到 80 度左右，但通道间时延差只变化了 6ps，能够满足绝大部分应用的需求。