

SeruTek 4 通道 TDC 简介与测试

--基于 Xilinx 7 Series, 面向 ToF 应用

2020 年 6 月

上海瑟如电子科技 周明翔

目录

第一章	简介	1
第二章	测试设置	3
2.1	IP 设计.....	3
2.2	示例程序.....	3
2.2.1	设计框图.....	3
2.2.2	布局与资源利用.....	4
2.3	软硬件环境.....	4
2.4	时钟设置.....	5
第三章	测试内容	7
3.1	测试结果 -- 70.2345MHz.....	7
3.1.1	原始数据截图.....	8
3.1.2	时间戳轨迹.....	10
3.1.3	测量残差.....	11
3.1.4	邻差序列.....	12
3.2	通道间时延变化测试.....	12

第一章 简介

SeruTek TDC 是上海瑟如电子公司开发的一款基于 Xilinx 7 系列 FPGA/SoC 的 TDC IP 核。SeruTek TDC 采用多通道时间戳机制，对各个通道输入的脉冲记录其时间戳。时间戳分为两部分：粗计数和精计数。粗计数由 FPGA 内部实现的计数器得到，精密计数由 FPGA 内部的进位链组成的延时链得到。在采用类似的粗、精计数组合的技术方法中，最大的问题在于输入脉冲有可能非常靠近粗计数器时钟的上升沿，从而不满足其 Flip-Flop register 的 setup 时序要求并导致非稳态。非稳态的产生使得粗计数的值极有可能发生单周期跳变，从而严重影响计数精度。SeruTek TDC 采用自研的独有技术完美解决了这一问题，从而大大提升了 TDC 的实用性。此外，SeruTek TDC 还具有片上自动码宽度自动校准功能，并采取了多种技术手段减小了通道之间的时延差变化波动，保证了在结温变化时，通道之间的时延差小于 20ps。

SeruTek TDC 支持全系列 Artix-7，并支持 Zynq7020 及以下的 Zynq 器件。SeruTek Plus TDC 支持 Kintex 及 Zynq 7030 及以上的器件。详情请参见《SeruTek Plus 四通道 TDC 测试报告》。

高精度、大量程、高速率、低通道差、多通道等优异的特性使得 SeruTek 广泛适用于通用计数器领域以及需要用到脉冲飞行时间(ToF)的应用，如激光测距、激光雷达、PET、超声波等应用。SeruTek TDC 采用标准的 AXI、AXIS 接口，可与 Zynq A9 硬核以及 Microblaze 软核集成，实现高速数据传输。

SeruTek TDC 的主要技术特性如下：

1.	One-shot RMS 精度	< 25ps
2.	最大量程	约 70 年
3.	单通道最小触发间隔 (dead time)	14 ns
4.	最小可测时间间隔	单通道：14ns 将 start、stop 信号分布在不同通道上可以测量任意小的时间间隔

5.	通道间一致性	< 20 ps (外部校准后, 时延差变化范围)
6.	突发触发速率 (burst hit rate)	70MHz 突发速率最大样本数受限于片上 FIFO 的容量。标准情况下为 2048 个点, 可根据使用芯片容量定制。
7.	连续触发速率	取决于采用的 readout 机制, 当使用 DMA 时, 单通道连续触发速率 > 30MSa/s。当配合 riffa 实现 PCIE 传输时, 可在 PCIE2.0 X8 配置下实现多通道总和 180MSa/s 的连续采样速率。

第二章 测试设置

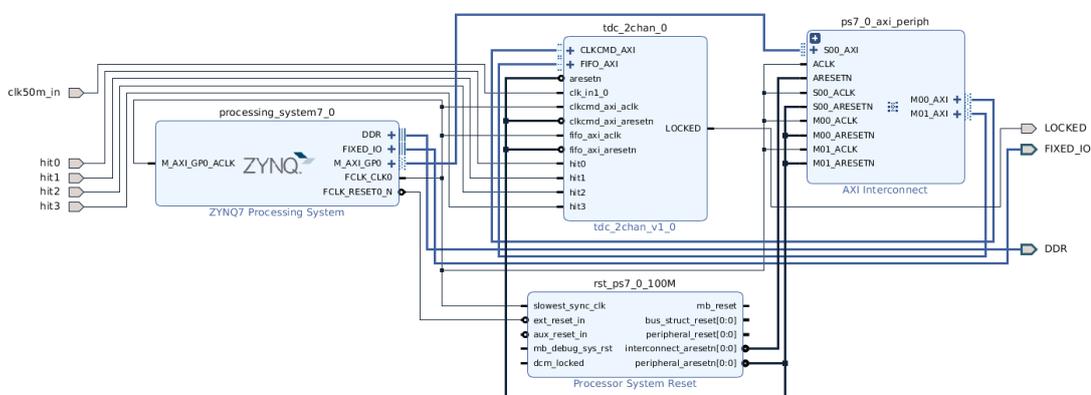
2.1 IP 设计

2.2 示例程序

为了方便用户对 4 通道 TDC IP 进行快速测试与评估，我们开发了基于黑金 AX7020 的最小示例程序。

2.2.1 设计框图

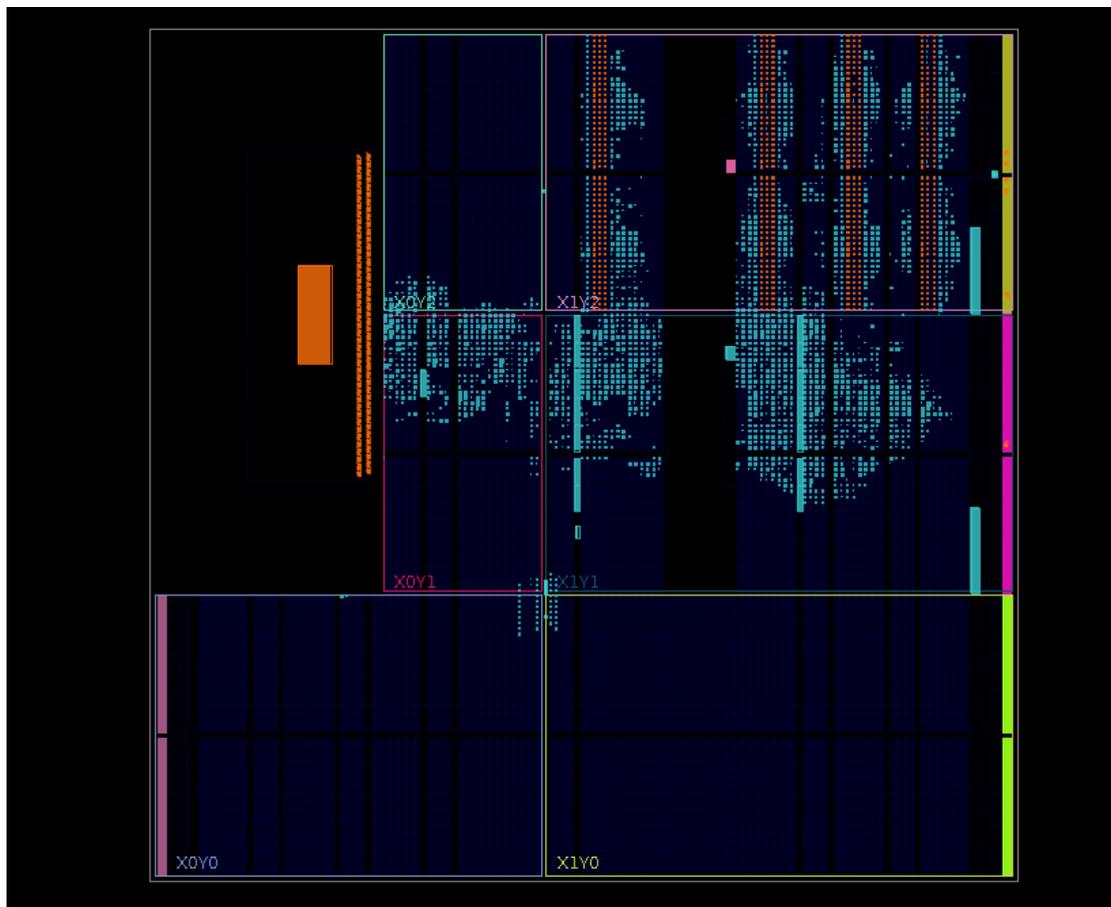
示例的 Vivado 设计框图如下图：



4 通道 TDC 有两个 AXI-lite 接口，分别为 CLKCMD_AXI 以及 FIFO_AXI，它们以及附属的时钟和重置信号都可以通过 Vivado 的自动连接功能进行快速连接。Zynq PS 通过 CLKCMD_AXI 对 TDC IP 进行配置和控制，通过 FIFO_AXI 读取存入 FIFO 的测量结果。与 IP 核一起发布的 SDK 函数库中提供了通过这两个接口进行控制和读取的函数。

2.2.2 布局与资源利用

该示例的所使用资源在器件中的布局如下图：



4 通道 TDC 都放置在 X1Y2 时钟域。从器件图可见部分 BRAM 被用作了 TDC 的 FIFO。每通道 FIFO 的大小决定了该通道能够以最大测量速率（约 70Msa/s）测量的点数。在示例中，每通道配有 256 点 FIFO。FIFO 大小可定制。

2.3 软硬件环境

测试硬件组成：

- ◆ 一块黑金 AX7020 开发板，芯片型号为 XC7Z020-CLG400-2；
- ◆ 一块 Si5341 开发板，作为定时触发信号源；

测试软件组成：

- ◆ Vivado Suit 2017.4
- ◆ SeruTek sdk library r1.1 (SDK 软件库，用于 TDC 核配置、控制以及原始数

据解析)

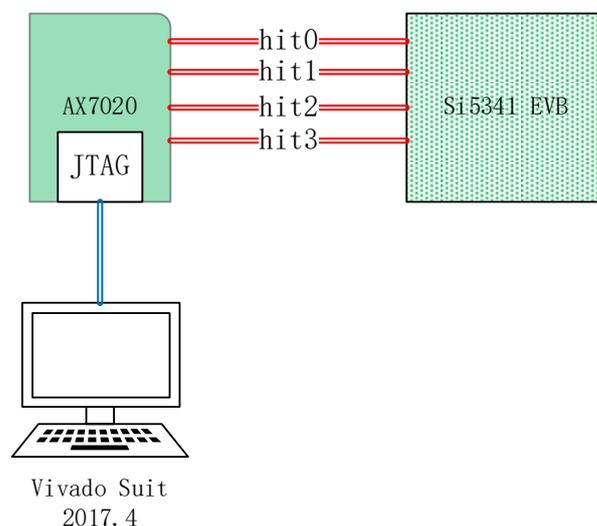


图2.1 SeruTek 4 通道 TDC 测试设置

基于 Zynq 7020-400clg 的 4 通道 TDC 其进位链位于 X1Y2 时钟区(clock region)。该区的 4 路 CCIO (时钟 IO) 都位于扩展口 J11。从 CCIO 引入 hit 信号有助于降低测量抖动以及降低通道间的时延波动。但 J11 扩展口至有 3 个 GND PIN 脚，因此测试时只能引入 3 路 hit 信号。信号通过 SMA 转杜邦线接入 AX7020 开发板的扩展端口 (2.54mm)。需要注意，从杜邦线引入 hit 信号要注意信号线之间的间距，否则容易发生串扰。建议在使用多通道 IP 时基于 FPGA 核心板重新设计底板，并在设计时需对时钟信号、hit 信号的阻抗匹配、串扰抑制等问题多加考虑，以保证最优的测量性能。

2.4 时钟设置

为了模拟用户真实的使用场景，TDC 的时钟源与定时信号的时钟源为独立时钟源，并不同源。因此测量结果会引入两个时钟源之间的频差及相位抖动。免费评估版的 SeruTek TDC 的参考时钟输入为 50MHz 的单端输入。在黑金 AX7020 开

发板上配置有 50MHz 的有源晶振，通过 U18 引脚引入 FPGA。SeruTek TDC 采用该时钟信号作为 TDC 测量的参考信号。用户可定制 TDC core 时钟信号输入的频率与格式。

Si5341 EVB 是一款时钟发生器评估板，具备 10 组时钟输出，时钟频率 120Hz-1028MHz，输出可配置成 LVCOMS 或 LVDS 等不同的格式，便于多通道 TDC 的测试与评估。测试时，基于 Si5431 EVB 板载的 48MHz 晶振，产生不同频率的触发定时信号，作为 SeruTek TDC 的 hit 信号。

第三章 测试内容

在之前发布的《SeruTek 双通道 TDC 测试报告》已经对 Serutek TDC 的各项指标进行了详尽的测试，如需了解 SeruTek TDC 在不同 hit 速率下的表现，请参阅该报告。

本次测试主要考察项目之一是 SeruTek TDC 4 通道 IP 核各通道之间的时延差波动。Hit 信号的走线长度很难保证精确一致，这是因为 hit 信号线的长度是 FPGA 地板走线、核心板走线以及 FPGA 内部走线长度之和。因此当产品定型后，需要通过外部校准手段，校准各通道间的时延差。但时延差本身的波动是无法通过外部校准进行补偿的。因此，通道间的时延差波动对最终测时的准确度有着非常重要的影响。

第二个考察项为高 hit 速率下，SeruTek TDC 4 通道 IP 的抖动性能，验证在 hit 速率限值附近，SeruTek 4 通道 TDC 仍然能够正常运行。

3.1 测试结果 -- 70.2345MHz

被测信号为 Si5341 EVB 输出的 3 路 LVCMOS25 信号，其中互补(相位相差 180 度)信号。Si5341 设置的输出频率为 70.2345MHz，以下截图是各项测试内容的计算结果：

```
PS C:\Users\zhoum\Documents\TDC\Netlist_DEV_TEST> & C:/Users/z
*****
tdc1

14.24 x + 5.04e+08
std of residual:15.93
mean of measured clock peroid: 14238.13 (ps)
measured frequency: 70.2339451400 MHz
std of measured clock peroid: 22.39 (ps)
*****
tdc2

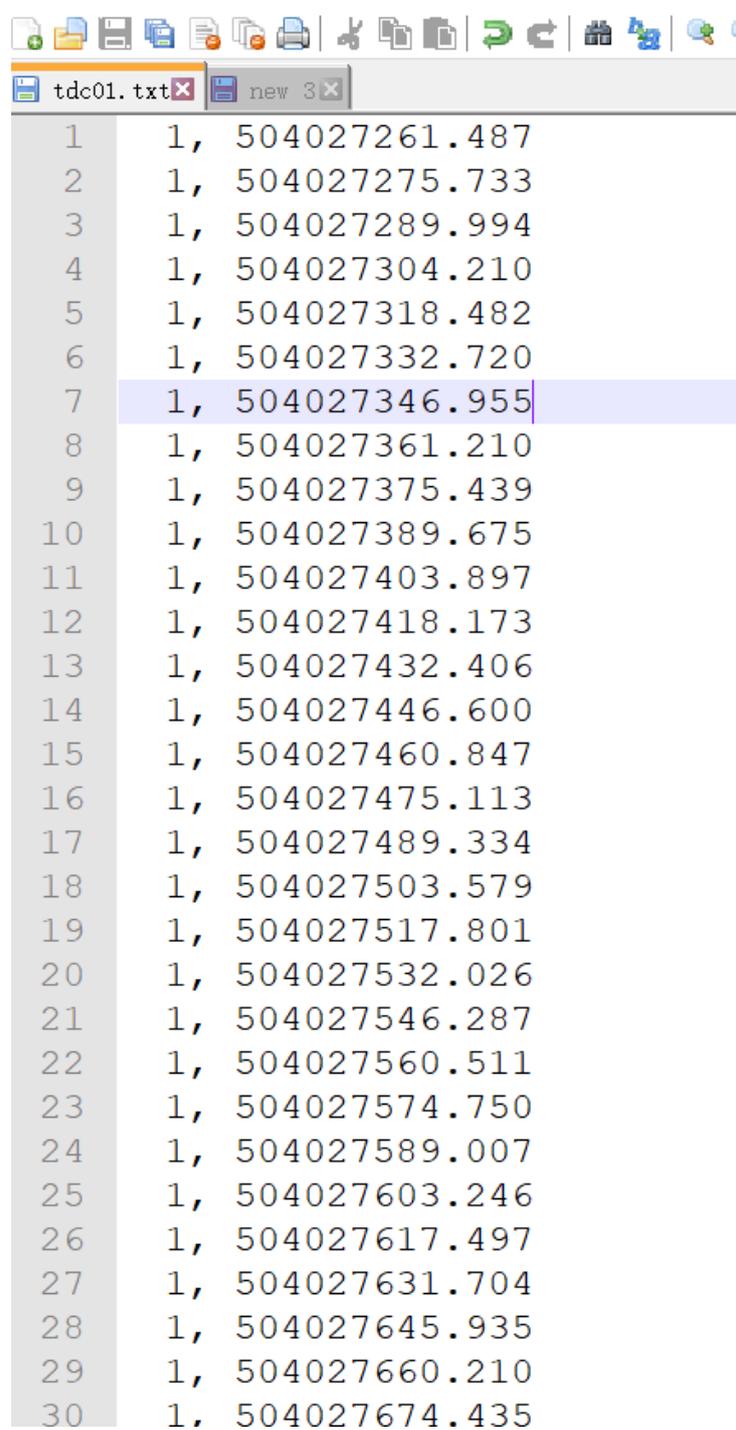
14.24 x + 5.04e+08
std of residual:16.14
mean of measured clock peroid: 14238.13 (ps)
measured frequency: 70.2339644841 MHz
std of measured clock peroid: 22.99 (ps)
*****
tdc3

14.24 x + 5.04e+08
std of residual:15.11
mean of measured clock peroid: 14238.07 (ps)
measured frequency: 70.2342533563 MHz
std of measured clock peroid: 23.06 (ps)
*****
```

为了减少篇幅,便于阅读,现将通道 1 的各项数据绘制如下,如需完整数据,和联系瑟如电子,提供原始数据以及分析的 python 程序。

3.1.1 原始数据截图

下图为串口输出的原始时间戳数据截图。第一列为通道号,第二列为时间戳,单位是 ns (小数点前一位表示 ns)。



Line	Value
1	1, 504027261.487
2	1, 504027275.733
3	1, 504027289.994
4	1, 504027304.210
5	1, 504027318.482
6	1, 504027332.720
7	1, 504027346.955
8	1, 504027361.210
9	1, 504027375.439
10	1, 504027389.675
11	1, 504027403.897
12	1, 504027418.173
13	1, 504027432.406
14	1, 504027446.600
15	1, 504027460.847
16	1, 504027475.113
17	1, 504027489.334
18	1, 504027503.579
19	1, 504027517.801
20	1, 504027532.026
21	1, 504027546.287
22	1, 504027560.511
23	1, 504027574.750
24	1, 504027589.007
25	1, 504027603.246
26	1, 504027617.497
27	1, 504027631.704
28	1, 504027645.935
29	1, 504027660.210
30	1, 504027674.435

图3.1 通道 1 串口输出原始数据截图

3.1.2 时间戳轨迹

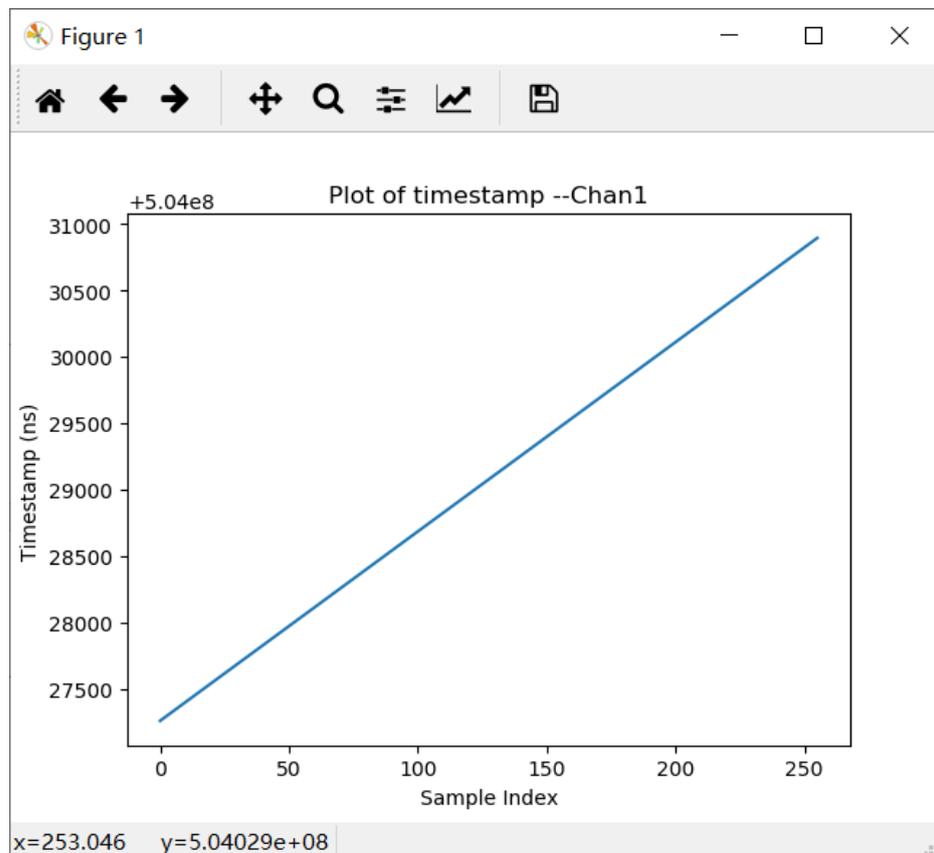


图3.2 通道 1 的时间戳轨迹

3.1.3 测量残差

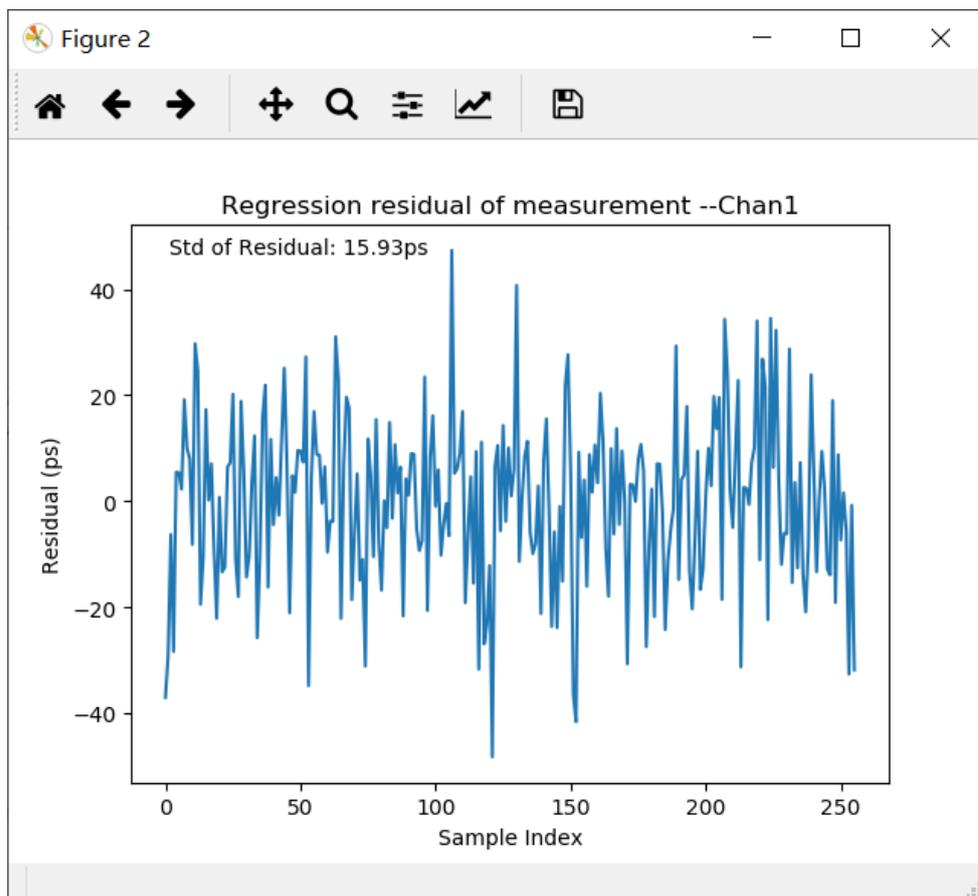


图3.3 通道 1 的测量残差

3.1.4 邻差序列

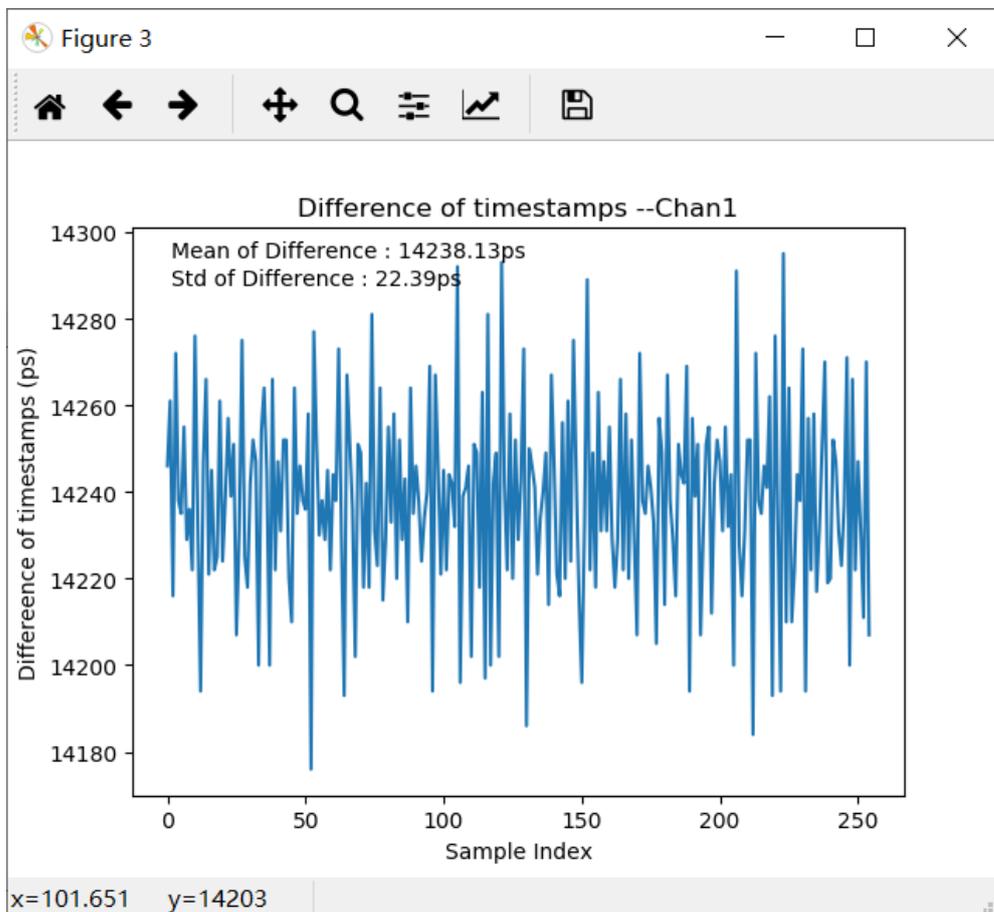


图3.4 通道 1 的邻差序列以及其均值、标准差

理想情况下，70.2345MHz 对应的时钟周期为 14238.02ps。通道 1、2 测得的时钟周期均值都为 14238.13ps。由于 hit 速率高达 70MHz，因此每通道采样点的数量上限为每通道 FIFO 的深度（256 点）。可见 256 点的平均能达到 1 皮秒的测时精度

3.2 通道间时延变化测试

多通道测量能力是 SeruTek TDC 极为重要的特性，不仅拓展了其使用场景，更大大简化了多通道 TDC 的部署与校准流程。对于 SeruTek TDC IP 而言，由于每个通道 hit 信号、时钟信号的走线长度不同，各通道间存在时延差。这些时延差是否固定，它们随结温变化的波动幅度关系到多通道 TDC 测量值的可信程度。

在 SeruTek TDC 内部, 针对重要的信号如时钟信号等都采用了低时延斜率(skew) 布线资源, 以减小通道时延差, 并控制走线长度、减小结温对时延的影响。

需要提出的是, 由于 AX7020 J11 端口只有 3 个 GND 引脚, 所以我们将两条 SMA 转杜邦线的地线焊在了一起。这种形式在频率增大时容易发生窜扰, 所以 hit 频率不宜太高。

采取多次断电重启 FPGA 开发板的方式, 验证每次重启后对相同 hit 时钟信号的时差测量值。下表列出了 6 次断电启动后, 对 2 组 (4 路) 1.23456M 信号进行测量, 每组信号是互补信号 (相位相差 180 度)。得到时间戳序列, 并将通道 2-通道 1, 得到通道差序列, 每个通道 838 个点, 求平均值及标准差, 录表于下:

表3.1 通道间时差平均值 -- 6 次循环

	Mean(Chan2-Chan1) (ps)	Mean(Chan3-Chan1) (ps)	Mean(Chan4-Chan1) (ps)
1	405037.21(-404964.49)	404818.52	-324.46
2	405037.03	404815.63(1214817.33)	-323.54
3	405032.69(-404969.01)	404814.42	-323.48
4	405035.42	404814.57(1214816.27)	-325.95
5	405035.29(-404966.41)	404813.58	-322.80
6	405033.65(-404968.05)	404813.46	-321.83

表3.2 通道间时差标准差 -- 6 次循环

	Std(Chan2-Chan1) (ps)	Std(Chan3-Chan1) (ps)	Std(Chan4-Chan1) (ps)
1	19.04	19.44	13.87
2	20.23	18.48	14.33
3	19.92	19.67	13.37
4	20.95	17.71	13.98
5	20.85	18.81	13.70
6	19.22	19.50	13.97

由于测试中 hit 信号是连续的时钟信号，而 TDC 使能时刻相对于连续时钟信号的相位是随机的，所以 TDC 使能后，有可能 hit1 先触发，也有可能 hit2 先触发。Hit2 先触发时，通道 2-通道 1 的时差值就为负值，为了便于比较，可加减 1 个周期的时差(测得时差约为 810001.7)。在实际使用时，hit 信号都是受控的时序信号，因此只要保证在使能 TDC 后再产生 hit 信号就不会产生测试中周期模糊度的问题。

从测试结果可以看出，在 6 次断电启动的过程中，各通道间时延差变化小于 6ps，能够满足绝大部分应用的需求。