

# 使用 SeruTek 超高速 TDC 测量 PCIE spread spectrum clock

2020 年 7 月

上海瑟如电子科技 周明翔

## 目录

<b>第一章</b>	<b>SERUTEK TDC 简介</b> .....	<b>1</b>
<b>第二章</b>	<b>超高速 TDC 评估与测试</b> .....	<b>2</b>
2.1	测试平台 .....	2
2.2	PCIE SPREAD SPECTRUM CLOCK(SSC)简介 .....	2
2.3	测试目的 .....	3
2.4	测试内容 .....	3
2.5	测试结果汇总 .....	3
2.5.1	第一轮测试 .....	3
2.5.2	第二轮测试 .....	6
<b>第三章</b>	<b>结论</b> .....	<b>8</b>

## 第一章 SeruTek TDC 简介

SeruTek TDC 是上海瑟如电子科技有限公司开发的基于 Xilinx 7 系列 FPGA 的 TDC IP 核。根据适用的芯片型号以及测量能力分为多种型号。其中 SeruTek TDC 是基本型号，适用于 Artix 以及 Zynq7020 及以下 FPGA 型号。其最大测量频率 (hit rate) 达 70MHz。SeruTek Plus 适用于 Kintex-7 系列以及 Zynq-7030 及以上型号，其最大测量频率达 90MHz。

近期，我司在 SeruTek Plus TDC 的基础上，改进缓存结构后将最大测量频率提高到了 160MHz。意味着对每个测量通道上，两个连续脉冲的间隔最小可达到 6.25ns。该峰值测量频率的持续时间仅仅受限于片上高速缓存的数量以及时间戳数据的读出速率。在标准配置下，每通道配备 2048 点的高速缓存。当高速缓存填满后，新的测试数据将被丢弃。如果测量时采用 DMA 的方式将高速缓存中的数据转移到 RAM (DDR)，可以延长峰值测量频率持续的时间。当采用 PCIE 2.0 X8 及以上的数据读出方式，并在上位机配备大容量内存以及高速磁盘阵列则可以实现 160Msa/s 的连续数据读出速率。

TDC 型号	适用 FPGA	峰值测量速率	等效脉冲间隔
SeruTek	Artix-7 Zynq7020(最高)	70MHz	14.3 ns
SeruTek Plus	Kintex Zynq7030-7100	90MHz	11.11 ns
SeruTek Plus+	Kintex Zynq7030-7100	160MHz	6.25 ns

## 第二章 超高速 TDC 评估与测试

### 2.1 测试平台

本测试例程基于 KC705 开发，实现了双通道的 TDC 测量。TDC 的参考时钟信号以及被测脉冲信号都由 Silicon Labs 的时钟产生芯片 Si5338 开发板产生，其频率源为 Si5338 EVM 的板载 25MHz 晶振。TDC 参考时钟为 200MHz 差分信号，通过 KC705 上的 USER CLOCK SMA 输入 FPGA。一路脉冲通过 USER GPIO SMA P 输入，另一路则通过 FMC LPC 转接板上的 SMA 接口输入 FPGA。

### 2.2 PCIE Spread Spectrum Clock(SSC)简介

SSC 是一种缓慢调制时钟频率的技术，以便降低中心频率处的 EMI 发射，有了 SSC，辐射能量就不会产生 2.5GHz 或 5GHz 的噪声尖峰信号，因为辐射被分散到中心频率周围的小频率范围上。

(<https://www.cnblogs.com/cute/archive/2011/05/27/2059631.html>)

SSC 扩频时钟对于 PCIe 来说是可选的，并非是强制的。如果选择支持扩频时钟的话，需满足以下要求([https://www.sohu.com/a/367547389\\_781333](https://www.sohu.com/a/367547389_781333)):

- 调制范围为+0%到-0.5%，即向下扩频（Down Spreading），如下图所示
- 调制频率必须在 30KHz 到 33KHz，一般为三角波
- 参考时钟源的抖动（Jitter）需在 300ppm 以内

带有 SSC 的参考时钟频率变化曲线如下图所示：

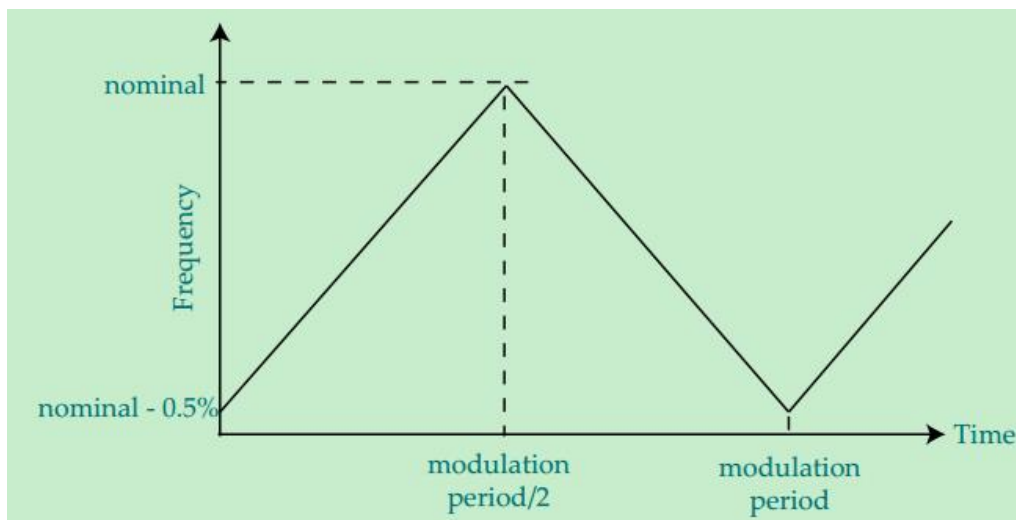


图2.1 带有 SSC 的参考时钟频率变化曲线

## 2.3 测试目的

1. 验证每通道 160MSa/s 的超高速测量能力
2. 通过对 Spread Spectrum Clock(SSC) 的测试，验证 TDC 测量结果的正确性。

## 2.4 测试内容

测试分为两轮，第一轮测试中，两路被测脉冲频率分别为 21.3131MHz 和 23.2323MHz。第二轮测试中，两路被测脉冲频率分别为 160.123MHz 和 158.432MHz。每一轮测试进行以下两项内容的测试：

1. 单一频点时钟信号测量。通道 1、通道 2 输入频率不同的时钟信号，获取时钟信号每个上升沿对应的时间戳，求取前后相邻两个时间戳的时差，并绘制邻差轨迹。
2. 采用 Si5338 的扩频功能，对输出的脉冲信号进行-5%的频率调制。经过调制扩频后的时钟信号作为被测脉冲信号输入 FPGA，得到每个上升沿对应的时间戳，求取前后相邻两个时间戳的时差，并绘制邻差轨迹。

## 2.5 测试结果汇总

### 2.5.1 第一轮测试

#### 2.5.1.1 单频点测试

通道号	输入信号频率	信号周期	扩频
1	21.3131MHz	46919.50 ps	无
2	23.2323MHz	43043.52 ps	无

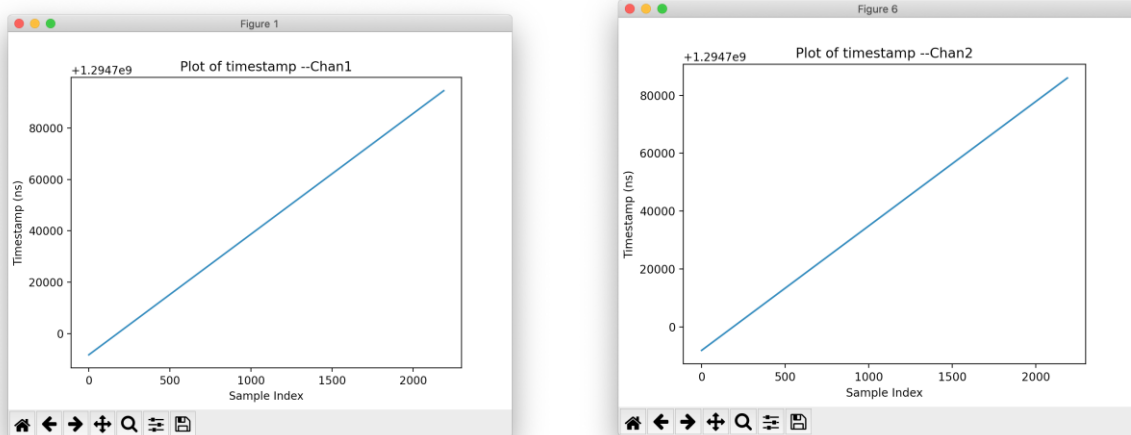


图2.2 通道 1、通道 2 时间戳轨迹

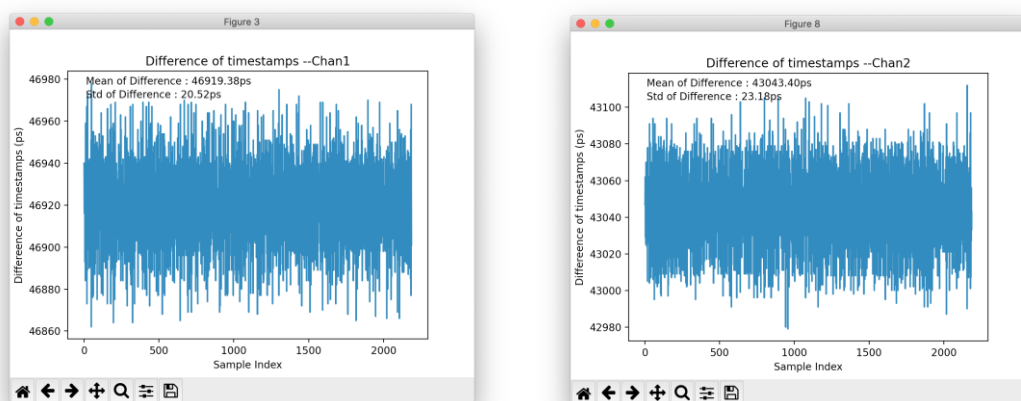
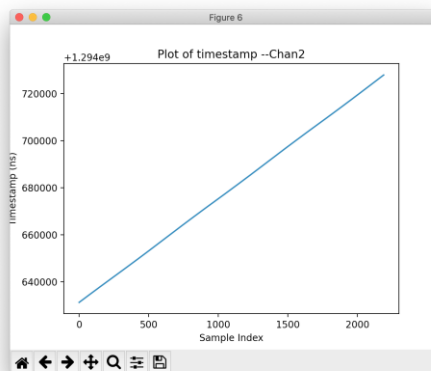
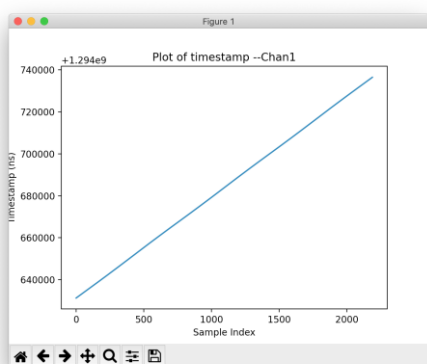


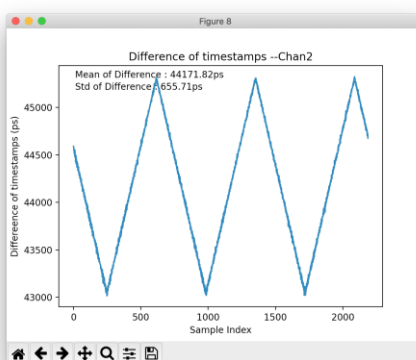
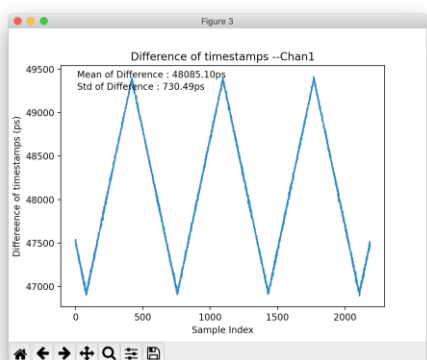
图2.3 通道 1、2 邻差轨迹

### 2.5.1.2 扩频测试

通道号	输入信号频率	信号周期	扩频
1	21.3131MHz	46919.50 ps	-5%, 31.5KHz
2	23.2323MHz	43043.52 ps	-5%, 31.5KHz



通道 1、2 时间戳轨迹



通道 1、2 通道的邻差轨迹

邻差反应了相邻两时间戳之间的时间差，可以表征被测信号频率的变化。从以上两幅邻差图上可以很明显的看出 SSC 对时钟频率的影响。

其中通道 1 的原始频率为 21.3131MHz，对应的周期为 46919.50 ps，通道 1 邻差的极小值与其相符。频率调制后的低频点为  $21.3131\text{MHz} \times 0.95 = 20.247445\text{MHz}$ ，其对应的周期为  $1/20.247445\text{M} = 49388.95\text{ps}$ ，与通道 1 邻差的极大值相符。

通道 2 的原始频率为 23.2323MHz，对应的周期为 43043.52 ps，与通道 2 邻差的极小值相符。频率调制后的低频点为  $23.2323\text{MHz} \times 0.95 = 22.070685\text{MHz}$ ，对应的周期为 45308.96ps，通道 2 邻差的极大值与其相符。

## 2.5.2 第二轮测试

### 2.5.2.1 单频点测试

通道号	输入信号频率	信号周期	扩频
1	160.123MHz	6245.20 ps	无
2	158.432MHz	6311.85 ps	无

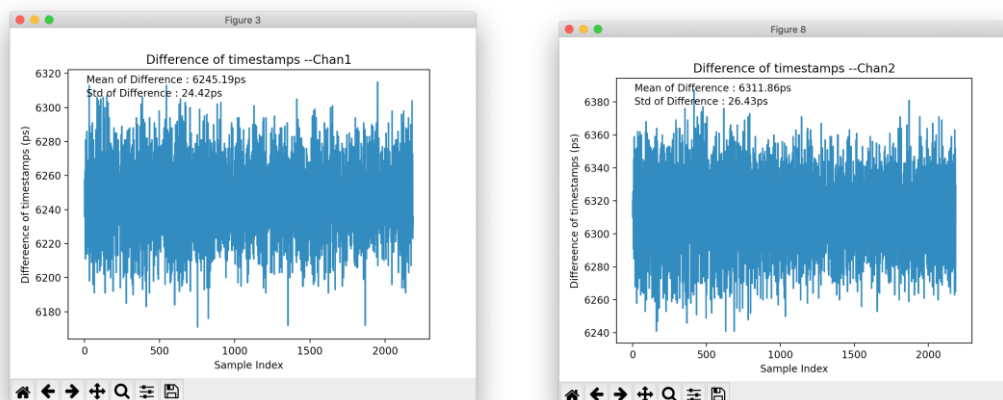


图2.4 通道 1、2 邻差

### 2.5.2.2 扩频测试

通道号	输入信号频率	信号周期	扩频
1	160.123MHz	6245.20 ps	-5%, 31.5KHz
2	158.432MHz	6311.85 ps	-5%, 31.5KHz



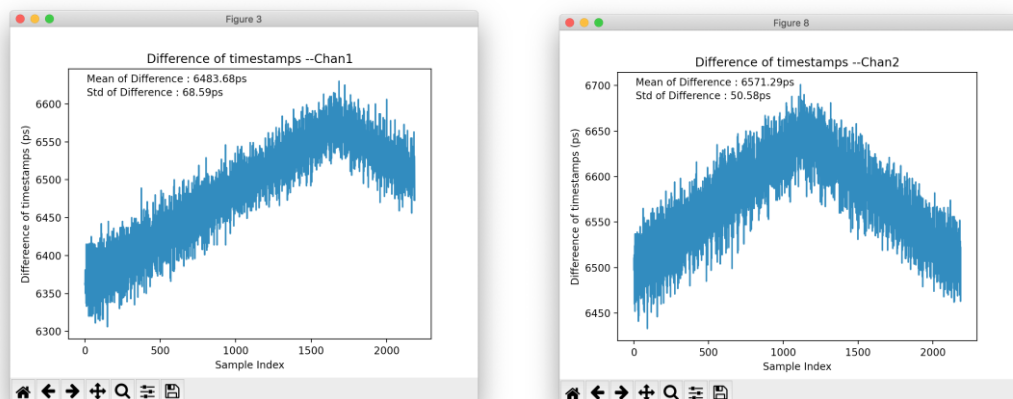


图2.5 通道 1、2 邻差轨迹

由于输入脉冲频率高，2048 点不能显示频率变化的完整周期，但是还是能明显的看到调制后频率的变化。

对于通道 1，调制后的低频点频率为  $(160.123\text{M} * (1 - 0.05)) = 152.11685\text{MHz}$ ，对应的周期为 6573.89ps，与通道 1 的邻差图中的极大点相符。

对于通道 2，调制后的低频点频率为 150.5104MHz，对应的周期为 6640.06ps，与通道 2 的邻差图中的极大点相符。

## 第三章 结论

通过本测试，验证了 SeruTek Plus+ TDC 单通道高达 160MHz 的重复测量能力，并在 SSC 扩频时钟测试的场景下验证了 TDC 测量结果的正确性。该款超高速 TDC 在 Kintex 325 或 Zynq7035 上至少可实现 16 通道 TDC。多通道加上超高的触发频率使其连续并发测量能力远远超出 ASIC TDC 芯片，极大地拓展了 SeruTek TDC 使用领域。